

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年5月15日 (15.05.2003)

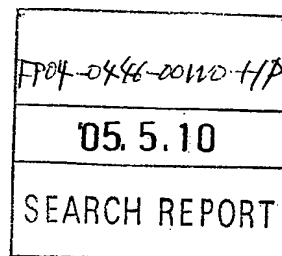
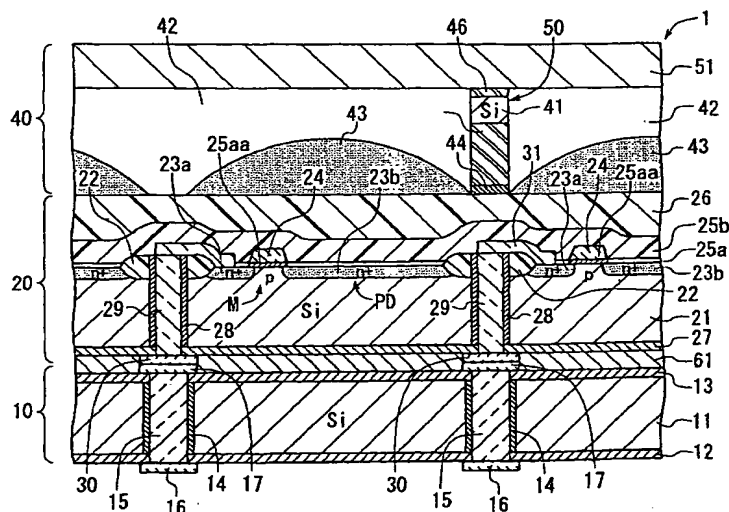
PCT

(10) 国際公開番号
WO 03/041174 A1

- (51) 国際特許分類⁷: H01L 27/14, H04N 5/335, G02B 3/00 (74) 代理人: 泉 克文 (IZUMI, Katsufumi); 〒169-0075 東京都 新宿区 高田馬場 2-1 4-2 原田ビルディング 902号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/11493
- (22) 国際出願日: 2002年11月5日 (05.11.2002) (81) 指定国 (国内): CN, JP, KR, NO, US.
- (25) 国際出願の言語: 日本語 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2001-340075 2001年11月5日 (05.11.2001) JP 添付公開書類:
— 国際調査報告書
— 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。
- (71) 出願人 および
(72) 発明者: 小柳 光正 (KOYANAGI, Mitsumasa) [JP/JP]; 〒981-1245 宮城県 名取市 ゆりが丘 1-2 2-5 Miyagi (JP). 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SOLID-STATE IMAGE SENSOR AND ITS PRODUCTION METHOD

(54) 発明の名称: 固体イメージセンサおよびその製造方法



(57) Abstract: A solid-state image sensor having a chip-size package and produced easily. A device formation region corresponding to pixel regions is formed in the semiconductor substrate (21) of a light-receiving device layer (20) and a semiconductor light-receiving device (PD) is fabricated in the device formation region and covered with light-transmitting insulating films (25a, 25b, 26). A light-guide cavity (42) incorporating micro lenses (43) and a light-guide layer (40) having a quartz cap (51) for closing the cavity are formed on the insulating film (26). The output electric signal from a semiconductor light-receiving device (PD) is directed through a buried wiring of the semiconductor substrate (21) to the bottom of the substrate and taken out from the solid-state image sensor through an output layer (10) or an interposer (10A).

[続葉有]



(57) 要約:

チップサイズ・パッケージを持ち、容易に製造することができる固体イメージセンサである。受光素子層（２０）の半導体基板（２１）に複数の画素領域に対応して素子形成領域を形成し、それら素子形成領域内に半導体受光素子（ＰＤ）を形成して、透光性絶縁膜（２５ａ）、（２５ｂ）、（２６）で覆う。絶縁膜（２６）上に、複数のマイクロレンズ（４３）を内蔵した光導入用キャビティ（４２）と、それを閉鎖する石英キャップ（５１）を持つ光導入層（４０）を形成する。半導体受光素子（ＰＤ）の出力電気信号は、半導体基板（２１）の埋込配線を介してその底面に取り出し、出力層（１０）またはインターポーザ（１０Ａ）を介して固体イメージセンサの外部に取り出す。

明細書

固体イメージセンサおよびその製造方法

技術分野

本発明は、固体イメージセンサとその製造方法に関し、さらに言えば、規則的に配置された複数のマイクロレンズを備えた固体イメージセンサと、その製造方法に関する。

背景技術

従来より、固体イメージセンサは、デジタルカメラ、ファクシミリなど、外界の画像情報を取り込んで電気信号に変換する種々の固体撮像装置にしばしば使用されている。この種の固体イメージセンサは、通常、複数の画素領域が一行に並んだ一次元のいわゆる「ラインセンサ」と、複数の画素領域がエリア状に並んだ二次元のいわゆる「エリアセンサ」に大別される。従来のこの種の固体イメージセンサの構成は、一般的に次のようなものである。

すなわち、半導体受光素子を複数の画素領域に対応して規則的に配置しておき、それら半導体受光素子によって外部の画像からの光を複数の画素に分けて受光すると共に、その光強度に応じた電気信号に変換する。換言すれば、それら半導体受光素子によって画像情報を画素毎に光電変換する。そして、こうして得た電気信号を電荷結合素子（Charge-Coupled Device, CCD）またはシフトレジスタを用いた信号転送回路で所定の信号処理回路まで転送し、その信号処理回路で所定の信号処理を行って画像を再生する、という構成である。なお、半導体受光素子としては、例えば、フォトダイオード（PD）、フォトトランジスタ、MO

S (Metal-Oxide-Semiconductor) キャパシタなどを使用する。

また、従来のこの種の固体イメージセンサの実装形態を見ると、半導体受光素子と信号転送回路と信号処理回路とは半導体チップ内に形成されており、その半導体チップが光導入用の窓を有するパッケージの中に実装されている。そして、外部の画像からの光は、その窓を介していったん前記パッケージの中に取り込まれ、その後、同パッケージ内の光導入路を介して前記半導体チップ内の半導体受光素子の各々に照射せしめられる。光導入路をできるだけ短くするため、前記半導体チップ内の半導体受光素子は前記パッケージの窓の近傍に配置される。

他方、近年、複数の半導体チップを積層して三次元構造とした固体イメージセンサが提案されている。例えば、栗野らは、1999年に発行された「1999 アイ・イー・ディー・エム テクニカル・ダイジェスト」第36.4.1頁～第36.4.4頁において、「三次元構造を持つインテリジェント・イメージセンサ・チップ」を提案している (H. Kurino et al., "Intelligent Image Sensor Chip with Three Dimensional Structure", 1999 IEDM Technical Digest, pp. 36.4.1 - 36.4.4, 1999)。

このイメージセンサ・チップは、4層構造を持っており、第1層にプロセッサ・アレイと出力回路を配置し、第2層にデータラッチとマスキング回路を配置し、第3層に増幅器とアナログ・デジタル変換器を配置し、第4層にイメージセンサ・アレイを配置している。イメージセンサ・アレイの最上面は、マイクロレンズ・アレイを含む石英ガラス層で覆われており、マイクロレンズ・アレイはその石英ガラス層の表面に形成されている。イメージセンサ・アレイ中の各イメージセンサには、半導体受光素子としてフォトダイオードが形成されている。

なお、4層構造を構成する各層の間は、接着剤を用いて機械的に接続されると共に、導電性プラグを用いた埋込配線と、それら埋込配線に接触せしめられ

たマイクロバンプ電極とを用いて電氣的に接続されている。

また、李らは、2000年4月に発行された「日本応用物理学会誌」第39巻、第2473頁～第2477頁、第1部4Bの「高度並列画像処理チップ用の三次元集積技術の開発」において、栗野らの提案した固体イメージセンサと同様のイメージセンサを含む画像処理チップを提案している。(K. Lee et al., "Development of Three-Dimensional Integration Technology for Highly Parallel Image-Processing Chip", Jpn. J. Appl. Phys. Vol. 39, pp. 2474 - 2477, April 2000)。

李らのイメージセンサ・チップは、栗野らが上記論文で提案した固体イメージセンサとほぼ同じ構造を持っている。

一般的構成を持つ上記従来の固体イメージセンサは、構造面で見ると、外部の光情報を、パッケージに設けた窓を介して半導体チップ内の受光素子で感知することにより、その光情報に対応する電気信号を得ている。そして、その電気信号をCCDやシフトレジスタを用いた信号転送回路によって逐次的に信号処理回路まで転送している。このため、受光素子による受光から信号処理回路による信号処理の開始までに時間的遅延が生じ、その結果、近年の信号処理速度向上の要請に応じた十分高い動作速度（例えば、GHzオーダーの動作周波数）が得られないという問題がある。さらに、パッケージと半導体チップが別になっているため、固体イメージセンサのサイズが大きくなってしまうという問題もある。

また、製造工程について見ると、半導体チップとは別にパッケージを形成しておき、その後に半導体チップをパッケージ内に実装することが必要であるから、製造工程が煩雑になるという問題もある。

これに対し、上述の二つの論文に開示された固体イメージセンサでは、イメージセンサ・アレイの最上面がマイクロレンズ・アレイを含む石英ガラス層で覆わ

れており、また、そのマイクロレンズ・アレイはその石英ガラス層の表面に形成されている。また、必要な信号処理回路（プロセッサや増幅器など）を内蔵している。このため、一般的構成を持つ上記従来の固体イメージセンサにおける動作速度の問題は、解消することが可能である。

しかし、マイクロレンズ・アレイを石英ガラス層の表面に形成するのは容易ではなく、しかもそれを実現するには高度な技術が要求されるという問題がある。また、複数の半導体チップを積層して三次元構造としているため、製造プロセスを簡略化することも望まれる。

発明の開示

本発明は、上記の各種問題を解決するためになされたものであり、その目的とするところは、いわゆるチップサイズ・パッケージを持ち、しかも、格別に高度な技術が要求されず容易に製造することができる固体イメージセンサおよびその製造方法を提供することにある。

本発明の他の目的は、近年の信号処理速度向上の要請に応じた十分高い動作速度（例えば、GHzオーダーの動作周波数）が得られる固体イメージセンサおよびその製造方法を提供することにある。

本発明のさらに他の目的は、必要に応じて、入力電気信号の増幅回路や信号処理回路などの種々の回路を組み込むことができる固体イメージセンサおよびその製造方法を提供することにある。

本発明のさらに他の目的は、高速、高感度かつ高機能で超小型の固体イメージセンサおよびその製造方法を提供することにある。

ここで明記しない本発明の他の目的は、以下の説明から明らかになる。

本発明の第1の観点による固体イメージセンサは、

規則的に配置された複数の画素領域を一面に有する固体イメージセンサであつて、

(a) 複数の前記画素領域に対応して配置されると共に照射される光に応じて電気信号を生成する複数の半導体受光素子と、それら半導体受光素子に対して光の照射を可能にする透光領域とを含む受光素子層と、

(b) 前記透光領域を介して前記受光素子層の前記半導体受光素子に光を導入するための光導入層と、

(c) 前記受光素子層の複数の前記半導体受光素子により生成される電気信号を外部に出力するための複数の出力端子を有する出力層とを備え、

前記光導入層は、

(b-1) 前記受光素子層の透光領域上に複数の前記画素領域に対応して配置された複数のマイクロレンズと、

(b-2) 前記透光領域上に形成された、前記マイクロレンズを収容するキャビティを形成するための支持壁と、

(b-3) 前記キャビティを形成するように前記支持壁に固着された透光性カバーとを含み、

前記透光性カバーを介して前記キャビティの内部に導入される外部光が、前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるように構成されていることを特徴とするものである。

本発明の第1の観点による固体イメージセンサは、前記受光素子層と前記光導入層と前記出力層とを備えている。前記光導入層は、複数のマイクロレンズと支持壁と透光性カバーとを含んでおり、前記透光性カバーを介して前記キャビティの内部に導入される外部光が、前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるようになっている。

このように、本発明の第1の観点による固体イメージセンサでは、前記半導体受光素子を含む前記受光素子層に対して、外部光を導入するための前記光導入層と、外部光に応じた電気信号を出力する前記出力層とが結合された構成になっている。しかも、外部光を導入するための前記光導入層は、前記支持壁と前記透光性カバーにより形成される前記キャビティと、そのキャビティ内に收容される複数の前記マイクロレンズとを含んでいるため、前記光導入層は前記マイクロレンズを含む光導入用パッケージとしての機能を果たす。したがって、本発明の固体イメージセンサは、そのような光導入用パッケージが前記受光素子層と前記出力層に一体化された構成を持つ、ということができる。

また、前記光導入層の前記マイクロレンズと前記支持壁と前記キャビティは、半導体装置製造に使用されている公知の微細加工技術を利用して形成できるので、前記マイクロレンズを含む前記光導入用パッケージを小型化してチップサイズにすることができる。つまり、本発明の固体イメージセンサにチップサイズの光導入用パッケージを持たせることができる。

製造方法の面では、本発明の第1の観点による固体イメージセンサは、光導入用の前記パッケージが前記受光素子層と前記出力層に一体化された構成を持つため、半導体チップとは別にパッケージを形成してから半導体チップをそのパッケージ内に実装する、という工程が不要となり、製造工程が簡略になる。しかも、前記マイクロレンズは、石英ガラス層の表面ではなく、前記受光素子層の透光領域（これは通常、 SiO_2 などの絶縁膜で形成される）上に形成されるので、石英ガラス層の表面に形成する場合のような高度な技術は要求されない。

また、前記受光素子層と前記出力層の作製には、複数の半導体チップを積層して三次元構造を形成するための公知の積層技術（位置合わせしながら基板同士を

接着剤で接合して積層する技術)を使用できる。したがって、前記受光素子層と前記出力層をそれぞれ半導体基板を用いて形成し、その後に両者を積層・一体化するようにすれば、前記受光素子層と前記出力層の作製も容易である。

よって、本発明の第1の観点による固体イメージセンサは、その製造に格別に高度な技術が不要であり、容易に製造することができるものである。

動作速度の面で見ると、前記光導入層の前記マイクロレンズは、前記受光素子層の前記透光領域上に配置されるため、前記マイクロレンズを前記透光領域に対して可能な限り近接して配置することにより、前記マイクロレンズを通った外部光を前記半導体受光素子で直ちに電気信号に変換できる。その電気信号は、前記受光素子層から直ちに前記出力層を介して外部に出力できる。このため、外部光を変換して得た前記電気信号に対する配線長を極めて短くすることができる。しかも、前記電気信号は、CCDを使って逐次的に転送することも不要である。よって、近年の信号処理速度向上の要請に応える十分高い動作速度（例えば、GHzオーダーの動作周波数）を得ることが可能である。

機能の面で見ると、本発明の第1の観点による固体イメージセンサでは、必要に応じて、入力電気信号の増幅回路や信号処理回路などの種々の回路を前記受光素子層あるいは前記出力層またはそれら両層の中に組み込んだり、所望の信号処理回路を含む信号処理回路層を別個に形成して前記受光素子層と前記出力層の間に組み込んだりすることが容易に行える。したがって、必要に応じて、入力電気信号の増幅回路や信号処理回路などの種々の必要な回路を本発明の第1の観点による固体イメージセンサに組み込むことが可能である。

このように、本発明の第1の観点による固体イメージセンサによれば、高速、高感度かつ高機能で超小型の固体イメージセンサが得られる。

本発明の第1の観点による固体イメージセンサの好ましい例では、前記光導入層の複数の前記マイクロレンズの各々が、島状にパターン化されたレンズ用透光膜により形成される。前記マイクロレンズの製法が簡略になるからである。

複数の前記マイクロレンズは、前記受光素子層の前記透光領域の表面に配置されるのが好ましい。前記マイクロレンズと前記半導体受光素子との距離を短縮できるからである。

前記光導入層の前記支持壁は、接着剤によって前記透光領域の表面に固着された剛性材を含んでいるのが好ましい。前記剛性材としては、半導体、セラミック、プラスチック、金属等の材料からなると共に、所望の剛性（支持強度）を有するものであれば、任意の剛性材を使用できる。

本発明の第1の観点による固体イメージセンサの他の好ましい例では、前記受光素子層あるいは前記出力層または前記インターポーザが、複数の前記半導体受光素子が生成する電気信号を処理する少なくとも一つの半導体素子を含む。この例では、前記半導体受光素子が生成する電気信号に所望の処理を施してから出力できるという利点がある。

本発明の第1の観点による固体イメージセンサのさらに他の好ましい例では、前記受光素子層の前記半導体受光素子として、フォトダイオード、フォトトランジスタおよびMOSトランジスタの少なくとも一つを含む。

本発明の第1の観点による固体イメージセンサのさらに他の好ましい例では、前記出力層または前記インターポーザが、半導体基板中に埋め込まれた埋込配線を有しており、前記受光素子層の前記半導体受光素子により生成される前記電気信号は、前記埋込配線を介して前記出力層または前記インターポーザの前記出力端子に送られる。

本発明の第1の観点による固体イメージセンサのさらに他の好ましい例では、前記受光素子層の前記透光領域が絶縁膜によって形成される、あるいは、絶縁膜と半導体基板によって形成される。

本発明の第1の観点による固体イメージセンサのさらに他の好ましい例では、前記受光素子層と前記出力層または前記インターポーザの間に、前記半導体受光素子により生成される前記電気信号に対して所定の信号処理を施すための信号処理回路を含む信号処理層が設けられる。

なお、本発明の第1の観点による固体イメージセンサにおいて、前記透光性カバーは、透光性を持ち且つ前記キャビティを形成するように前記支持壁に固着されたものであればその構成は任意であり、キャップ状あるいはその他の任意の構成とすることができる。

本発明の第2の観点による固体イメージセンサの製造方法は、

規則的に配置された複数の画素領域を一面に有する固体イメージセンサの製造方法であって、

(a) 複数の前記画素領域に対応して配置されると共に照射される光に応じて電気信号を生成する複数の半導体受光素子と、それら半導体受光素子に対して光の照射を可能にする透光領域とを含む受光素子層を形成する工程と、

(b) 前記透光領域を介して前記受光素子層の前記半導体受光素子に光を導入するための光導入層を形成する工程と、

(c) 前記受光素子層の複数の前記半導体受光素子により生成される電気信号を外部に出力するための複数の出力端子を有する出力層またはインターポーザを形成する工程とを備え、

前記光導入層を形成する工程 (b) では、

(b-1) 前記受光素子層の透光領域上に複数のマイクロレンズを複数の前記画素領域に対応して形成する工程と、

(b-2) 前記マイクロレンズを収容するキャビティを形成するための支持壁を前記透光領域上に形成する工程と、

(b-3) 前記支持壁に透光性カバーを固着して前記キャビティを形成し、前記透光性カバーを介して前記キャビティの内部に導入される外部光が、前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるようにする工程とが実行されることを特徴とするものである。

本発明の第2の観点による固体イメージセンサの製造方法では、工程(a)において、複数の半導体受光素子と、それら半導体受光素子に対して光の照射を可能にする透光領域とを含む前記受光素子層を形成し、工程(b)において、前記透光領域を介して前記受光素子層の前記半導体受光素子に光を導入する前記光導入層を形成し、工程(c)において、前記受光素子層の複数の前記半導体受光素子により生成される電気信号を外部に出力するための複数の出力端子を有する前記出力層または前記インターポーザを形成する。

そして、前記光導入層を形成する工程(b)では、前記受光素子層の透光領域上に複数のマイクロレンズを複数の前記画素領域に対応して配置する工程(b-1)と、前記マイクロレンズを収容するキャビティを形成するための支持壁を前記透光領域上に形成する工程(b-2)と、前記支持壁に透光性カバーを固着して前記キャビティを形成し、前記透光性カバーを介して前記キャビティの内部に導入される外部光が、前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるようにする工程(b-3)とを実行する。

よって、上述した本発明の第1の観点による固体イメージセンサが得られることが明らかである。

本発明の第2の観点による固体イメージセンサの製造方法の好ましい例では、前記受光素子層の前記透光領域上にレンズ用透光膜を形成し、そのレンズ用透光膜それ自体をリソグラフィ法によってパターン化して複数の島状部分を形成し、その後、複数の前記島状部分に対して熱処理を行うことによって前記島状部分の各々の表面を湾曲させ、もって複数の前記マイクロレンズを形成する。この例では、前記レンズ用透光膜は、有機材料からなるのが好ましい。

本発明の第2の観点による固体イメージセンサの製造方法の他の好ましい例では、前記受光素子層の前記透光領域上にレンズ用透光膜を形成し、そのレンズ用透光膜上にマスクを形成し、そのマスクを用いて前記レンズ用透光膜をエッチングして複数の島状部分を形成し、もって複数の前記マイクロレンズを形成する。この例では、前記レンズ用透光膜は、無機材料からなるのが好ましい。前記島状部分の各々の表面は、湾曲していてもよいし、湾曲していなくてもよい。

本発明の第2の観点による固体イメージセンサの製造方法のさらに他の好ましい例では、前記光導入層の前記支持壁が、前記受光素子層の前記透光領域上に複数の前記マイクロレンズを覆うように剛性板を接着し、その剛性板をエッチングして複数の前記マイクロレンズを露出させることによって形成される。この場合、複数の前記マイクロレンズと前記剛性板の間に、前記剛性板のエッチングの際にエッチング・ストップとして機能する膜を形成する工程を含むのが好ましい。このエッチング・ストップとして機能する膜は、十分な透光性を持っていれば残しておいてもよいが、前記剛性板のエッチングが終了した後にエッチングにより除去する方が好ましい。

前記剛性板としては、金属板、ガラス板、プラスチック板、セラミックス板、半導体板など、剛性がある所望の支持強度（と所望の加工性）を持つものであれば任意の板材を使用できる。

本発明の第2の観点による固体イメージセンサの製造方法のさらに他の好ましい例では、前記工程（c）の後に、前記出力層または前記インターポーザと前記受光素子層とを直接あるいは他の層を介して機械的に接続すると共に、前記出力層または前記インターポーザの前記出力端子と前記半導体受光素子により生成される電気信号の経路とを電気的に接続する工程（d）がさらに実行される。

なお、本発明の第2の観点による固体イメージセンサの製造方法においても、前記透光性カバーは、透光性を持ち且つ前記キャビティを形成するように前記支持壁に固着されたものであればその構成は任意であり、キャップ状あるいはその他の任意の構成とすることができる。

本発明の第3の観点による固体イメージセンサは、

規則的に配置された複数の画素領域を一面に有する固体イメージセンサであって、

（a） 複数の前記画素領域に対応して配置されると共に照射される光に応じて電気信号を生成する複数の半導体受光素子と、それら半導体受光素子に対して光の照射を可能にする透光領域とを含む受光素子層と、

（b） 前記透光領域を介して前記受光素子層の前記半導体受光素子に光を導入するための光導入層と、

（c） 前記受光素子層の複数の前記半導体受光素子により生成される電気信号を外部に出力するための複数の出力端子を有する出力層またはインターポーザとを備え、

前記光導入層は、

(b-1) 透光性の本体と、

(b-2) 前記本体の内部に一体的に形成され、且つ前記受光素子層の透光領域上に複数の前記画素領域に対応して配置された複数のマイクロレンズとを含み、

前記本体の内部に導入される外部光が、前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるように構成されていることを特徴とするものである。

本発明の第3の観点による固体イメージセンサは、前記受光素子層と前記光導入層と前記出力層とを備えている。前記光導入層は、本体の内部に一体的に形成された複数のマイクロレンズを含んでおり、前記本体の内部に導入される外部光が、前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるようになっている。

このように、本発明の第3の観点による固体イメージセンサでは、前記半導体受光素子を含む前記受光素子層に対して、外部光を導入するための前記光導入層と、外部光に応じた電気信号を出力する前記出力層またはインターポーザとが結合された構成になっている。しかも、外部光を導入するための前記光導入層は、複数の前記マイクロレンズとを含んでいるため、前記光導入層は前記マイクロレンズを含む光導入用パッケージとしての機能を果たす。したがって、本発明の固体イメージセンサは、そのような光導入用パッケージが前記受光素子層と前記出力層またはインターポーザに一体化された構成を持つ、ということができる。

また、前記光導入層の前記マイクロレンズは、半導体装置製造に使用されている公知の微細加工技術を利用して形成できるので、前記マイクロレンズを含む前記光導入用パッケージを小型化してチップサイズにすることができる。つまり、

本発明の固体イメージセンサにチップサイズの光導入用パッケージを持たせることができる。

製造方法の面では、本発明の第3の観点による固体イメージセンサは、光導入用の前記パッケージが前記受光素子層と前記出力層またはインターポーザに一体化された構成を持つため、半導体チップとは別にパッケージを形成してから半導体チップをそのパッケージ内に実装する、という工程が不要となり、製造工程が簡略になる。しかも、前記マイクロレンズは、石英ガラス層の表面ではなく、透光性の前記本体の内部に一体的に形成されるので、石英ガラス層の表面に形成する場合のような高度な技術は要求されない。

また、前記受光素子層と前記出力層またはインターポーザの作製には、複数の半導体チップを積層して三次元構造を形成するための公知の積層技術（位置合わせしながら基板同士を接着剤で接合して積層する技術）を使用できる。したがって、前記受光素子層と前記出力層またはインターポーザをそれぞれ半導体基板を用いて形成し、その後に両者を積層・一体化するようにすれば、前記受光素子層と前記出力層またはインターポーザの作製も容易である。

よって、本発明の第3の観点による固体イメージセンサは、その製造に格別に高度な技術が不要であり、容易に製造することができるものである。

動作速度の面で見ると、前記光導入層の前記マイクロレンズは、前記受光素子層の前記透光領域上に配置されるため、前記マイクロレンズを前記透光領域に対して可能な限り近接して配置することにより、前記マイクロレンズを通った外部光を前記半導体受光素子で直ちに電気信号に変換できる。その電気信号は、前記受光素子層から直ちに前記出力層またはインターポーザを介して外部に出力できる。このため、外部光を変換して得た前記電気信号に対する配線長を極めて短く

することができる。しかも、前記電気信号は、CCDを使って逐次的に転送することも不要である。よって、近年の信号処理速度向上の要請に応える十分高い動作速度（例えば、GHzオーダーの動作周波数）を得ることが可能である。

機能の面で見ると、本発明の第3の観点による固体イメージセンサでは、必要に応じて、入力電気信号の増幅回路や信号処理回路などの種々の回路を前記受光素子層あるいは前記出力層またはインターポーザまたはそれらの中に組み込んだり、所望の信号処理回路を含む信号処理回路層を別個に形成して前記受光素子層と前記出力層またはインターポーザの間に組み込んだりすることが容易に行える。したがって、必要に応じて、入力電気信号の増幅回路や信号処理回路などの種々の必要な回路を本発明の第3の観点による固体イメージセンサに組み込むことが可能である。

このように、本発明の第3の観点による固体イメージセンサによれば、本発明の第1の観点による固体イメージセンサの場合と同様に、高速、高感度かつ高機能で超小型の固体イメージセンサが得られる。

本発明の第3の観点による固体イメージセンサの好ましい例では、複数の前記マイクロレンズは、前記受光素子層の前記透光領域の表面に配置される。前記マイクロレンズと前記半導体受光素子との距離を短縮できるからである。

本発明の第3の観点による固体イメージセンサの他の好ましい例では、前記受光素子層または前記出力層または前記インターポーザが、複数の前記半導体受光素子が生成する電気信号を処理する少なくとも一つの半導体素子を含む。この例では、前記半導体受光素子が生成する電気信号に所望の処理を施してから出力できるという利点がある。

本発明の第3の観点による固体イメージセンサのさらに他の好ましい例では、

前記受光素子層の前記半導体受光素子として、フォトダイオード、フォトトランジスタおよびMOSトランジスタの少なくとも一つを含む。

本発明の第3の観点による固体イメージセンサのさらに他の好ましい例では、前記出力層または前記インターポーザが、半導体基板中に埋め込まれた埋込配線を有しており、前記受光素子層の前記半導体受光素子により生成される前記電気信号は、前記埋込配線を介して前記出力層または前記インターポーザの前記出力端子に送られる。

本発明の第3の観点による固体イメージセンサのさらに他の好ましい例では、前記受光素子層の前記透光領域が絶縁膜によって形成される、あるいは、絶縁膜と半導体基板によって形成される。

本発明の第3の観点による固体イメージセンサのさらに他の好ましい例では、前記受光素子層と前記出力層または前記インターポーザの間に、前記半導体受光素子により生成される前記電気信号に対して所定の信号処理を施すための信号処理回路を含む信号処理層が設けられる。

本発明の第4の観点による固体イメージセンサの製造方法は、

規則的に配置された複数の画素領域を一面に有する固体イメージセンサの製造方法であって、

(a) 複数の前記画素領域に対応して配置されると共に照射される光に応じて電気信号を生成する複数の半導体受光素子と、それら半導体受光素子に対して光の照射を可能にする透光領域とを含む受光素子層を形成する工程と、

(b) 透光性の本体の内部に一体的に形成された複数のマイクロレンズを含む、前記透光領域を介して前記受光素子層の前記半導体受光素子に光を導入するための光導入層を形成する工程と、

(c) 前記受光素子層の複数の前記半導体受光素子により生成される電気信号を外部に出力するための複数の出力端子を有する出力層またはインターポーザを形成する工程と、

(d) 前記工程 (a) で形成した前記受光素子層と前記工程 (b) で形成した前記光導入層とを機械的に接続し、もって前記光導入層の内部に導入される外部光が前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるようにする工程と、

(e) 前記工程 (c) で形成した前記出力層または前記インターポーザと前記工程 (b) で形成した前記光導入層とを直接、または他の層を介して機械的に接続すると共に、前記出力層または前記インターポーザの前記出力端子と前記半導体受光素子により生成される電気信号の経路とを電氣的に接続する工程とを備えたことを特徴とするものである。

本発明の第4の観点による固体イメージセンサの製造方法では、工程 (a) において、複数の半導体受光素子と、それら半導体受光素子に対して光の照射を可能にする透光領域とを含む前記受光素子層を形成し、工程 (b) において、前記透光領域を介して前記受光素子層の前記半導体受光素子に光を導入する前記光導入層を形成し、工程 (c) において、前記受光素子層の複数の前記半導体受光素子により生成される電気信号を外部に出力するための複数の出力端子を有する前記出力層または前記インターポーザを形成する。

そして、工程 (d) において、前記工程 (a) で形成した前記受光素子層と前記工程 (b) で形成した前記光導入層とを機械的に接続し、もって前記光導入層の内部に導入される外部光が前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるようにし、工程 (e) において、前記工程 (c) で形成した前記出力層または前記インターポーザと前記工程 (b) で形成した前

記光導入層とを直接、または他の層を介して機械的に接続すると共に、前記出力層または前記インターポーザの前記出力端子と前記半導体受光素子により生成される電気信号の経路とを電氣的に接続する。

よって、上述した本発明の第3の観点による固体イメージセンサが得られることが明らかである。

本発明の第4の観点による固体イメージセンサの製造方法の好ましい例では、前記光導入層を形成する工程（b）において、複数の前記マイクロレンズが、前記本体の所望部分に屈折率の異なるレンズ領域を形成することにより形成される。

。

図面の簡単な説明

図1は、本発明の第1実施形態の固体イメージセンサの構成を示す要部拡大断面図である。

図2は、図1の第1実施形態の固体イメージセンサの概略構成を示す要部断面図である。

図3は、図1の第1実施形態の固体イメージセンサの製造方法を示す工程図である。

図4は、図1の第1実施形態の固体イメージセンサの製造方法を示す工程図で、図3の続きである。

図5は、図1の第1実施形態の固体イメージセンサの製造方法を示す工程図で、図4の続きである。

図6は、図1の第1実施形態の固体イメージセンサの製造方法を示す工程図で、図5の続きである。

図 7 は、図 1 の第 1 実施形態の固体イメージセンサの製造方法を示す工程図で、図 6 の続きである。

図 8 は、図 1 の第 1 実施形態の固体イメージセンサの製造方法を示す工程図である。

図 9 は、図 1 の第 1 実施形態の固体イメージセンサの製造方法を示す工程図で、図 7 と図 8 の続きである。

図 10 は、図 1 の第 1 実施形態の固体イメージセンサの製造方法を示す工程図で、図 9 の続きである。

図 11 は、図 1 の第 1 実施形態の固体イメージセンサの製造方法を示す工程図で、図 10 の続きである。

図 12 は、図 1 の第 1 実施形態の固体イメージセンサの製造方法を示す工程図で、図 11 の続きである。

図 13 は、図 1 の第 1 実施形態の固体イメージセンサの各画素領域の回路構成を示す回路図である。

図 14 は、本発明の第 2 実施形態の固体イメージセンサを示す要部拡大断面図である。

図 15 は、本発明の第 3 実施形態の固体イメージセンサを示す要部拡大断面図である。

図 16 は、明の第 4 実施形態の固体イメージセンサの概略構成を示す要部断面図である。

図 17 は、図 16 の第 4 実施形態の固体イメージセンサの製造方法を示す工程図である。

図 18 は、図 16 の第 4 実施形態の固体イメージセンサの製造方法を示す工程図で、図 17 の続きである。

図 19 は、図 16 の第 4 実施形態の固体イメージセンサの他の製造方法を示す工程図である。

図 20 は、図 16 の第 4 実施形態の固体イメージセンサの他の製造方法を示す工程図で、図 19 の続きである。

発明を実施するための最良の形態

以下、本発明の好適な実施の形態について添付図面を参照しながら説明する。

第 1 実施形態

固体イメージセンサの構成

図 2 は、本発明の第 1 実施形態の固体イメージセンサ 1 の要部構成を示す部分断面図であり、図 1 はそのイメージセンサ 1 の部分拡大断面図である。

図 1 および図 2 に示すように、この固体イメージセンサ 1 は 3 層構造であり、出力層 10 と受光素子層 20 と光導入層 40 とを備えている。この固体イメージセンサ 1 は、マトリックス・アレイ状に配置された複数の画素領域 P X を備えており、それら画素領域 P X の全体で画像を撮像して電気信号に変換し、出力する。各画素領域 P X の平面形状は、この実施形態では矩形であるが、円形、六角形など、他の形状でもよいことは言うまでもない。

光導入層 40 は、イメージセンサ 1 の外部にある画像（外部画像）からの光を取り込んで画素領域 P X 毎に受光素子層 20 に送る。受光素子層 20 は、画素領域 P X 毎に、光導入層 40 で取り込んだ光をその光に対応する電気信号に変換する。出力層 10 は、画素領域 P X 毎に、受光素子層 20 で得た電気信号をイメージセンサ 1 の外部に出力する。こうして出力される電気信号は、例えば、表示装置に送られてそのスクリーンに外部画像を表示するのに使用され、あるいは任意の信号処理装置に送られ、所定の信号処理に使用される。

次に、光導入層 40 と受光素子層 20 と出力層 10 の各々の詳細な構成を説明する。

受光素子層 20 は、図 1 に明瞭に示すように、下面が絶縁膜 27 で覆われた p 型の単結晶 Si 基板 21 を有している。Si 基板 21 の上面には、絶縁分離膜 22 が選択的に形成されており、その絶縁分離膜 22 によって、複数の素子形成領域（活性領域）が画素領域 PX に一対一に対応して形成されている。つまり、それら素子形成領域は、画素領域 PX と同じマトリックス状に配置されている

以下の説明では、絶縁分離膜 22 が形成されている領域を「絶縁分離領域」と呼ぶ。従って、Si 基板 21 の上面には、絶縁分離領域と、複数の素子形成領域（活性領域）とが存在することになる。

Si 基板 21 の各素子形成領域の内部には、一つの MOS (Metal-Oxide-Semiconductor) 電界効果トランジスタ（以下、MOS トランジスタという）M と、一つのフォトダイオード PD が形成されている。MOS トランジスタ M とフォトダイオード PD は互いに電氣的に接続されている。フォトダイオード PD は、導入される光を電気信号に変換する半導体受光素子である。MOS トランジスタ M は、フォトダイオード PD が生成する電気信号を受光素子層 20 から取り出すためのスイッチング用半導体素子である。

MOS トランジスタ M は、Si 基板 21 の内部に間隔をあけて形成された一対の n⁺型ソース・ドレイン領域（S/D 領域）23a、23b と、S/D 領域 23a と 23b の間で Si 基板 21 の上面を覆う絶縁膜 25aa と、絶縁膜 25aa 上に形成されたゲート電極 24 とから構成されている。絶縁膜 25aa は、絶縁膜 25a のゲート電極 24 の直下にある部分であり、ゲート絶縁膜として機能する。ゲート電極 24 は、素子形成領域の一方（図 1 では左側）の端の近傍に配置されている。そのゲート電極 24 の側において、絶縁分離膜 22 の上には配線

膜 3 1 が形成されている。その配線膜 3 1 は、絶縁膜 2 5 a に形成された窓を介して一方のソース・ドレイン領域 2 3 a (図 1 では左側) に接触している。素子形成領域の表面のその窓以外の部分は、絶縁膜 2 5 a で覆われている。

フォトダイオード PD は、他方の n^+ 型のソース・ドレイン領域 2 3 b (図 1 では右側) と p 型の単結晶 Si 基板 2 1 から構成されている。つまり、フォトダイオード PD は、MOS トランジスタ M のソース・ドレイン領域 2 3 b を共用しており、それによってフォトダイオード PD と MOS トランジスタ M とが電氣的に接続されている。ソース・ドレイン領域 2 3 b が、フォトダイオード PD の受光領域となる。

各素子形成領域に形成された MOS トランジスタ M とフォトダイオード PD は、いずれも層間絶縁膜 2 5 b によって覆われている。この層間絶縁膜 2 5 b は、Si 基板 2 1 の全面を覆っている。層間絶縁膜 2 5 b の上には、それよりも厚い層間絶縁膜 2 6 が Si 基板 2 1 の全面を覆って形成されている。層間絶縁膜 2 6 の表面は、光導入層 4 0 の形成・固着を容易にするために、Si 基板 2 1 と平行になるように平坦化されている。

層間絶縁膜 2 5 b と 2 6 と絶縁膜 2 5 a は、当該イメージセンサ 1 が検出可能な光を透過可能な材料 (例えば SiO_2) で形成される。光導入層 4 0 によってイメージセンサ 1 の内部に導入される外部光は、層間絶縁膜 2 5 b と 2 6 と絶縁膜 2 5 a を貫通して、受光素子層 2 0 の各素子形成領域に形成されたフォトダイオード PD に照射される。したがって、層間絶縁膜 2 5 b と 2 6 と絶縁膜 2 5 a の各フォトダイオード形成領域に対応 (ほぼ重複) する箇所が「透光領域」となる。後述の通り、光導入層 4 0 はこれら「透光領域」の上に形成・固着されている。

第 1 実施形態では、受光素子層 2 0 の表面全体が透光可能となっているが、こ

れは必ずしも必要ではない。受光素子層 20 の表面の一部が透光可能となってもよい。受光素子層 20 の表面にフォトダイオード PD に対応して「透光領域」が存在すれば足りる。

Si 基板 21 には、絶縁分離膜 22（絶縁分離領域）の位置に、基板 21 の上面と下面を接続する複数の埋込配線が形成されている。それら埋込配線の各々は、基板 21 を上下に貫通する透孔の内側壁を覆う絶縁膜 28 と、その絶縁膜 28 の内側に充填された導電性プラグ 29 と、その導電性プラグ 29 の下端に接触して形成されたマイクロバンプ電極 30 とから構成されている。導電性プラグ 29 の上端は、絶縁分離膜 22 の上に形成された配線膜 31 に接触しており、その配線膜 31 は n^+ 型のソース・ドレイン領域 23 a に接触しているので、そのソース・ドレイン領域 23 a は配線膜 31 と導電性プラグ 29 を介してマイクロバンプ電極 30 に電氣的に接続されている。

この第 1 実施形態では、スイッチング用トランジスタとして n -チャネル MOS トランジスタ (n MOS) を使用しているが、 p -チャネル MOS トランジスタ (p MOS) を使用してもよいし、 n -チャネル MOS トランジスタと p -チャネル MOS トランジスタを組み合わせる相補型 MOS (CMOS) トランジスタ構成としてもよい。MOS トランジスタ以外のトランジスタや他の電子素子でもよい。

次に、光導入層 40 について説明する。

光導入層 40 は、受光素子層 20 の層間絶縁膜 26（換言すれば、受光素子層 20 の透光領域）の上に形成・固着されている。光導入層 40 は、層間絶縁膜 26 の平坦化された上面に支持壁 50 によって支持された、平板状の石英キャップ 51 を有している。支持壁 50 の下端と上端は、層間絶縁膜 26 の上面とキャップ 51 の内面にそれぞれ固着されている。

支持壁 50 により、層間絶縁膜 26 とキャップ 51 の間にキャビティ 42 が形成されており、そのキャビティ 42 の内部に複数のマイクロレンズ 43 がマトリックス状に配置されている。これらのマイクロレンズ 43 は、画素領域 PX に対して一対一対応で配置されている、換言すれば、受光素子層 20 中のフォトダイオード PD を有する素子形成領域の真上にそれらと重なるようにそれぞれ配置されている。

キャップ 51 の平面形状は、ここでは当該イメージセンサ 1 の平面形状に合わせて矩形となっているが、これ以外の形状であってもよい。キャビティ 42 の平面形状は、キャップ 51 の平面形状と同じ矩形であるが、これ以外の形状であってもよい。マイクロレンズ 43 の平面形状は、ここでは円形であるが、これ以外の形状であってもよい。マイクロレンズ 43 の高さは、例えば $1\ \mu\text{m} \sim 3\ \mu\text{m}$ である。

支持壁 50 は、キャビティ 42 の外周縁を画定するように矩形のキャップ 51 の周縁全体に沿って延在すると共に、キャップ 51 の周縁以外の箇所（つまり内側）にも部分的に延在している。支持壁 50 は、キャビティ 42 を形成するために設けるものであるから、矩形のキャップ 51 の周縁のみに沿って配置して矩形状に形成するだけでもよい。しかし、そうすると、光導入層 40 の機械的強度が不足する恐れがある。そこで、この点を考慮して、キャップ 51 の周縁以外の箇所（つまり内側）では、適当な箇所に支持壁 50 を升目状に配置し、その強度不足の問題を解消している。

支持壁 50 は、図 1 に明瞭に示すように、アルミニウム (A1) 膜 44 と接着剤 45 と単結晶 Si 板 41 と接着剤 46 から形成されており、4 層構造を持っている。これは、光導入層 40 の製造工程に起因するものである。その製造工程の詳細は後述する。

A1膜44は、通常、蒸着法やスパッタリング法によって、マイクロレンズ43を覆うように層間絶縁膜26の上面全体に所定厚さで形成される。このため、接着剤を使用しなくても、A1膜44は層間絶縁膜26の上面とマイクロレンズ43の表面に固着する。マイクロレンズ43上のA1膜44はエッチングによって除去されるが、マイクロレンズ43の間ではA1膜44はエッチングされずに残存する。このエッチングにより除去されなかったA1膜44の部分が、支持壁50の一部を構成している。

A1膜44の上には、所定厚さの単結晶Si板41が接着剤45を用いて固着されている。Si板41は、キャビティ42を形成するために、エッチングによって選択的に除去されるが、エッチングにより除去されなかったSi板41の部分が、支持壁50の他の一部を構成している。

Si板41の上には、石英キャップ51が接着剤46を用いて固着されていて、そのキャップ51によってキャビティ42の上部開口の全体を閉鎖している。その結果、キャビティ42は、層間絶縁膜26と支持壁50と石英キャップ51とで画定される。また、支持壁50は、A1膜44、接着剤45、単結晶Si板41、接着剤46の4層構造となる。

石英キャップ51を形成する石英ガラスは、当該イメージセンサ1が検出可能な光に対して透光性を持っているので、外部光はキャップ51を通してキャビティ42内に入ることができる。そして、キャビティ42内に入った外部光は、マイクロレンズ43で集光されてから、層間絶縁膜26と25bと絶縁膜25aを貫通して各素子形成領域のフォトダイオードPDに、画素領域PX毎に照射されることになる。

次に出力層10について説明する。

出力層10は、照射される外部光に応じて受光素子層20で生成される電気信

号を、当該イメージセンサ 1 の外部に出力するための層である。この出力層 10 は、上下二つの表面が絶縁膜 13 と 12 でそれぞれ覆われた単結晶 Si 基板 11 を有している。この Si 基板 11 には、その上面と下面を接続する（つまり Si 基板 11 を上下に貫通する）複数の埋込配線が形成されている。それら埋込配線の各々は、Si 基板 11 を上下に貫通する透孔の内側壁を覆う絶縁膜 14 と、その絶縁膜 14 の内側に充填された導電性プラグ 15 と、その導電性プラグ 15 の上下端に接触して形成されたマイクロバンプ電極 17 と 16 を持つ。

出力層 10 の Si 基板 11 と受光素子層 20 の Si 基板 21 は、対応するマイクロバンプ電極 17 と 30 を重ね合わせて溶着させると共に、両基板 11 と 21 の間の隙間に接着剤 61 を充填することによって互いに固着されている。Si 基板 11 と 21 は互いに平行になっている。接着剤 61 としては、ポリイミド樹脂、エポキシ樹脂等が好適に使用できる。

この第 1 実施形態の固体イメージセンサ 1 では、出力層 10 の Si 基板 11 の内部には半導体素子が存在せず、Si 基板 11 は埋込配線のベースとして使用されているだけである。したがって、Si 基板 11 の導電型は任意である、つまり n 形でもよいし、p 型でもよいし、ドーパントを含まない i 型でもよい。しかし、後述する第 2 および第 3 の実施形態のように、Si 基板 11 の内部に半導体素子を形成する場合は、その半導体素子の構成に合うように Si 基板 11 の導電型を選択する必要がある。

固体イメージセンサの動作

次に、以上の構成を持つ第 1 実施形態の固体イメージセンサ 1 の動作について説明する。

まず、イメージセンサ 1 の撮像面、すなわち光導入層 40 の石英キャップ 51 の表面を、所望の撮像対象物に向け、その撮像対象物の近傍に置く。すると、そ

の撮像対象物から発せられた光（外部光）が石英キャップ51を通してイメージセンサ1の内部（つまりキャビティ42）に取り込まれる。取り込まれた光は、キャビティ42内のマイクロレンズ43によって、受光素子層20のフォトダイオードPD上に集光・照射せしめられる。この集光・照射は、画素領域PX毎に行われる。

各画素領域PX内のフォトダイオードPDは、こうして受け取った光を光電変換し、その光の強度に応じた電気信号を生成する。この電気信号は、そのフォトダイオードPDに接続されたスイッチング用MOSトランジスタMを介して出力層10に送出される。つまり、電気信号を取り出す際にMOSトランジスタMがスイッチングされてON（導通）状態となるので、その電気信号は、受光素子層20の配線膜31と導電性プラグ29とマイクロバンプ電極30を介してSi基板21の下面（受光素子層20の外部）に送られる。その電気信号はさらに、出力層10のマイクロバンプ電極17と導電性プラグ15を介して、固体イメージセンサ1の最下面にあるマイクロバンプ電極16に送られる。こうして、出力層10のマイクロバンプ電極16からその電気信号を取り出すことが可能となる。

この第1実施形態では、出力層10のマイクロバンプ電極16が、当該固体イメージセンサ1の出力端子として機能する。

このように、第1実施形態の固体イメージセンサ1の出力電気信号は、その最下面すなわち底面にアレイ状に設けられたマイクロバンプ電極（出力端子）16を介して出力される。したがって、このイメージセンサ1は、いわゆる「エリア・アレイ・パッケージ」と同等の構造を持っているとすることができる。

図13は、各画素領域PX内の回路構成を示す回路図である。図13より理解されるように、フォトダイオードPDのカソードがMOSトランジスタMの一方のソース・ドレイン領域に接続されている。そして、MOSトランジスタMのゲ

ート電極と他方のソース・ドレイン領域は、信号線Bと信号線Wにそれぞれ接続されている。この回路構成は公知であるから、ここではこれ以上の説明を行わない。

固体イメージセンサの製法

続いて、図3～図12を参照しながら、上記構成を持つ本発明の第1実施形態の固体イメージセンサ1の製造方法について説明する。

まず、図3に示すように、絶縁膜（ここではSiO₂膜）27を介して2枚の単結晶Si基板71と21を貼り合わせてなるSOI（Silicon On Insulator）基板を準備する。そして、公知の方法によって、上方のSi基板21の内部に所望の画素領域PXに対応して複数の素子形成領域を形成する。さらに、各素子形成領域の内部にMOSトランジスタMとフォトダイオードPDを形成し、それらMOSトランジスタMに接続された埋込配線を形成する。こうして図3に示す構成を得る。

図3に示す構成を得る方法は任意であるが、例えば次のようにして形成する。

まず、公知の方法により、SOI基板を構成するp型Si基板21の表面に絶縁分離膜（例えばSiO₂膜）22を選択的に形成し、もってそのSi基板21の表面に複数の画素領域PXに対応した素子形成領域をアレイ状に画定する。次に、公知の方法により、絶縁分離膜22にSi基板21を上下に貫通する複数の透孔を形成する。この時、公知の方法により、それら透孔の直下において絶縁膜27も部分的に除去し、透孔の底部がSi基板71側に露出するようにする。そして、それら透孔の内側壁を絶縁膜28で覆ってから、それら透孔内に導電性プラグ29を充填する。このとき、導電性プラグ29の上端は透孔の上端より露出し、他方、導電性プラグ29の下端はSi基板71に接触する。こうして、絶縁分離膜22の存在する領域（すなわち、絶縁分離領域）に対して図3に示す構成

の埋込配線を形成する。

その後、各素子形成領域内において、公知の方法により、Si基板21の表面に絶縁膜25aを形成する。そして、絶縁膜25aの上にゲート電極（例えばポリシリコン製とする）24を選択的に形成する。絶縁膜25aのゲート電極24の直下の部分が、ゲート絶縁膜25aaとなる。この時、各素子形成領域において、Si基板21の全表面が絶縁膜25aで覆われる。その後、公知の方法により、Si基板21の内部に一对のn⁺型のソース・ドレイン領域23aと23bを形成して、MOSトランジスタMを完成する。

そこで、次に、公知のエッチング法によって、埋込配線に近い側のソース・ドレイン領域23aに通じる窓を絶縁膜25aに開けてから、絶縁膜25aと絶縁分離膜22の上に導電性の配線膜31を選択的に形成する。この時、配線膜31は、一方では、絶縁膜25aの窓を介してソース・ドレイン領域23aに接触し、他方では、導電性プラグ29の上端に接触する。したがって、ソース・ドレイン領域23aと導電性プラグ29が配線膜31によって電氣的に接続される。

その後、ゲート電極24と配線膜31を層間絶縁膜25bで覆い、さらにその上に層間絶縁膜26を形成する。そして、層間絶縁膜26の表面をCMP（Chemical Mechanical Polishing）法またはエッチング法により研磨して平坦化する。こうして、図3に示す構造を得る。

続いて、図3の構造において、層間絶縁膜26の平坦化された表面全体にマイクロレンズ43用の膜を形成する。この膜の材料としては、フォトレジスト、有機高分子などの有機材料、あるいは、ポリシリコン、酸化シリコン（SiO₂）、窒化シリコン（SiN_x）などの無機材料が好適に使用でき、塗布、スパッタリング、CVDなどの方法で所望の厚さの膜とする。

マイクロレンズ43をフォトレジストや有機高分子の膜で形成する場合は、そ

の膜をフォトリソグラフィおよびエッチング法により略円形の島状部分にパターン化してから、熱処理を加える。すると、それら島状部分の表面が凸球面状に湾曲し、図4に示すように、各素子形成領域を覆うマイクロレンズ43となる。

マイクロレンズ43をポリシリコン、酸化シリコン、窒化シリコンなどの無機材料の膜で形成する場合は、その無機材料膜の上に所望のマイクロレンズの形状にパターン化したフォトレジスト膜（フォトレジスト・パターン）を形成し、そのフォトレジスト膜をマスクとして前記無機材料膜を選択的にエッチングする。こうして、前記フォトレジスト・パターンを前記無機材料膜に転写することによって、略円形の島状部分を形成する。これらの島状部分がマイクロレンズ43となる。

上記二つの方法によって形成され得るマイクロレンズ43は、層間絶縁膜26の平坦な表面に、画素領域PXに対して一対一対応でアレイ状に配置される。

その後、蒸着、スパッタリングなどの方法で、層間絶縁膜26の平坦化された表面全体に、先に形成したマイクロレンズ43の全体を覆うようにAl膜44を形成する。Al膜44の厚さは、例えば100nm～400nmである。この時の状態は図4に示すようになる。図4より理解されるように、Al膜44は、大部分がマイクロレンズ43上にあるが、一部は隣接するマイクロレンズ43間の隙間を通して層間絶縁膜26の表面に接触・固着している。

続いて、図5に示すように、Al膜44の上に所定厚さで接着剤45を塗布する。この時、単結晶Si板41の接着を容易にするために、公知の方法で、塗布した接着剤45の表面を平坦化する。こうして、図5に示す構造を得る。そして、その接着剤45の表面に所定厚さ（例えば約100μm～1000μm）の単結晶Si板41を貼り付ける。このSi板41は、キャビティ42を形成するための支持壁50の一部に使用するものである。このときの状態は、図6に示すよ

うになる。

接着剤 45 の表面に貼り付けられた単結晶 Si 板 41 は、その表面を所望の厚さになるまで研磨して薄くする。研磨後の基板 41 の厚さは、例えば、約 $50\ \mu\text{m}$ ～ $200\ \mu\text{m}$ である。この時の状態は、図 7 に示すようになる。

なお、本実施形態では、キャビティ 42 を形成するために単結晶 Si 板 41 を用いているが、これに限定されるものではない。所望の剛性を有すると共にエッチング等の加工性に優れたものであれば、他の任意の材料からなる板を用いることができることは言うまでもない。

その後、図 6 の構造において最下位にある Si 基板 71 の全体を、研磨またはエッチングによって除去し、Si 基板 71 と Si 基板 21 の間にある絶縁膜 27 を露出させる。そして、公知の方法により、各埋込配線の導電性プラグ 29 の下端にマイクロバンプ電極 30 を形成・固着する。このときの状態は、図 7 に示すようになる。

後述するように、Al 膜 44 は、単結晶 Si 板 41 と接着剤 45 のエッチングを行う際に、その下方にあるマイクロレンズ 43 を保護するためのものである、換言すれば、Al 膜 44 は、その際のエッチング・ストップとして使用するものである。よって、このような機能が得られるものであれば、Al 以外の任意の膜を使用できる。

他方、出力層 10 を製作するために、図 8 に示すように、絶縁膜（ここでは SiO_2 膜）12 を介して 2 枚の単結晶 Si 基板 81 と 11 を貼り合わせてなる SOI 基板を準備する。そして、基板 11 を上下に貫通する複数の透孔を形成する。この時、それら透孔の直下において絶縁膜 12 も部分的に除去し、透孔の底部を Si 基板 81 の側に露出させるようにする。そして、それら透孔の内側壁を絶縁膜 14 で覆ってから、それら透孔内に導電性プラグ 15 を充填する。このとき

、導電性プラグ 15 の上端は透孔の上端より露出し、導電性プラグ 15 の下端は Si 基板 81 の表面に接触する。さらに、各埋込配線の導電性プラグ 15 の上端にマイクロバンプ電極 17 を形成・固着する。こうして、図 8 に示す構成の埋込配線が得られる。

次に、図 9 に示すように、マイクロバンプ電極 30 とマイクロバンプ電極 17 を互いに向かい合わせながら、図 8 に示す Si 基板 11 のマイクロバンプ電極 17 側の面に、図 7 の構造を載せる。そして、両構造の間の隙間に接着剤 61 を充填して両構造を互いに固着させる。また、マイクロバンプ電極 30 とマイクロバンプ電極 17 は、互いに溶着される。その状態で Si 基板 81 の全体を研磨またはエッチングによって除去し、図 10 に示すように、絶縁膜 12 と導電性プラグ 15 を露出させる。

さらに、各導電性プラグ 15 の下端にマイクロバンプ電極 16 を形成・固着し、図 11 に示す構造を得る。この時、出力層 10 の上に受光素子層 20 が接着され、受光素子層 20 の上に、光導入層 40 を形成するマイクロレンズ 43 等が載った状態になる。

そこで、適当なマスクを用いて、最上位の Si 板 41 を選択的にエッチングし、その Si 板 41 に透孔を形成する。続いて、同じマスクを用いて、Si 板 41 の下位にある接着剤 45 をエッチングにより選択的に除去する。これら二つのエッチング工程において、Al 膜 44 がエッチング・ストップとして働くので、その下にあるマイクロレンズ 43 がエッチング作用の影響を受けない。よって、マイクロレンズ 43 が確実に保護される。

次に、同じマスクを用いて、それら透孔内に露出している Al 膜 44 をエッチングにより選択的に除去する。こうして、図 12 に示す状態が得られる。この状態では、キャビティ 42 がほぼ形成されていると共に、マイクロレンズ 43 がキ

ャビティ 4 2 内に露出している。

最後に、キャビティ 4 2 を形成するのに用いた S i 板 4 1 の上に、接着剤 4 6 を用いて石英ガラスよりなる矩形のキャップ 5 1 を接着し、内部の空間を閉鎖する。こうして、光導入層 4 0 の支持壁 5 0 とキャビティ 4 2 が形成される。

以上のような工程を経ることにより、図 1 と図 2 に示すような 3 層構造の固体イメージセンサ 1 が得られる。

接着剤 4 6 は、キャップ 5 1 の光透過率をできるだけ低下させないためには、図示しているように、支持壁 5 0 の上端部にのみ配置するのがよい。しかし、接着剤 4 6 の塗布工程を簡略化するために、キャップ 5 1 の内面全体に塗布してもよい。この場合、接着剤 4 6 の存在によって光透過率が少し低下するが、実用上は問題が生じない程度に調整が可能である。

なお、出力層 1 0 の製造方法は、ここで述べたものに限定されず、他の任意の方法が使用できることは言うまでもない。

以上説明したように、本発明の第 1 実施形態の固体イメージセンサ 1 は、受光素子層 2 0 と光導入層 4 0 と出力層 1 0 とを備えて構成されている。そして、光導入層 4 0 は、複数のマイクロレンズ 4 3 と支持壁 5 0 と透光性の石英キャップ 5 1 とを含んでおり、透光性キャップ 5 1 を介してキャビティ 4 2 の内部に導入される外部光が、マイクロレンズ 4 3 を介して受光素子層 4 0 内の半導体受光素子、つまりフォトダイオード P D に照射されるようになっている。

このように、第 1 実施形態の固体イメージセンサ 1 では、フォトダイオード P D を含む受光素子層 2 0 に対して、外部光を導入するための光導入層 4 0 と外部光に応じた電気信号を出力する出力層 1 0 とが結合された構成になっている。しかも、外部光を導入するための光導入層 4 0 は、支持壁 5 0 と透光性キャップ 5 1 により形成されるキャビティ 4 2 と、そのキャビティ 4 2 内に配置された複数

のマイクロレンズ 43 とを含んでいるため、光導入層 40 はマイクロレンズ 43 を含むパッケージとしての機能を果たす。したがって、第 1 実施形態の固体イメージセンサ 1 は、そのような光導入用パッケージが受光素子層 20 と出力層 10 に一体化された構成を持つ、ということができる。

また、光導入層 40 のマイクロレンズ 43 と支持壁 50 とキャビティ 42 は、半導体装置製造に使用されている公知の微細加工技術を利用して形成できるので、マイクロレンズ 43 を含む光導入用パッケージを小型化してチップサイズにすることができ。つまり、固体イメージセンサ 1 にチップサイズの光導入用パッケージを持たせることができる。

製造方法の面では、固体イメージセンサ 1 は、光導入層 40 からなるパッケージが受光素子層 20 と出力層 10 に一体化された構成を持つため、半導体チップとは別にパッケージを形成してから半導体チップをそのパッケージ内に実装する、という工程が不要となり、製造工程が簡略になる。しかも、マイクロレンズ 43 は、石英ガラス層の表面ではなく、受光素子層 20 の層間絶縁膜 26 上に形成されるので、石英ガラス層の表面に形成する場合のような高度な技術は要求されない。

また、受光素子層 20 と出力層 10 の作製には、複数の半導体チップを積層して三次元構造を形成するための公知の積層技術（位置合わせしながら基板同士を接着剤で接合して積層する技術）を使用できる。したがって、受光素子層 20 と出力層 10 をそれぞれ半導体基板を用いて形成し、その後に両者を積層・一体化するようにすれば、受光素子層 20 と出力層 10 の作製も容易である。

よって、固体イメージセンサ 1 は、その製造に格別に高度な技術が不要であり、容易に製造することができるものである。

動作速度の面で見ると、光導入層 40 のマイクロレンズ 43 は、受光素子層 20 の透光領域上に近接して配置されるため、マイクロレンズ 43 を通った外部光をフォトダイオード PD で直ちに電気信号に変換できる。その電気信号は、受光素子層 20 から直ちに出力層 10 を介して外部に出力できる。このため、外部光を変換して得た電気信号に対する配線長を極めて短くすることができる。しかも、その電気信号は、CCD を使って逐次的に転送することも不要である。よって、近年の信号処理速度向上の要請に応える十分高い動作速度（例えば、GHz オーダーの動作周波数）を得ることが可能である。

機能の面で見ると、固体イメージセンサ 1 では、必要に応じて、入力電気信号の増幅回路や信号処理回路などの種々の回路を受光素子層 20 あるいは出力層 10 またはそれら両層の中に組み込んだり、所望の信号処理回路を含む信号処理回路層を別個に形成して受光素子層 20 と出力層 10 の間に組み込んだりすることが容易に行える。したがって、必要に応じて、入力電気信号の増幅回路や信号処理回路などの種々の必要な回路を固体イメージセンサ 1 に組み込むことが可能である。

このように、本発明の第 1 実施形態によれば、高速、高感度かつ高機能で超小型の固体イメージセンサ 1 が得られる。

なお、受光素子層 20 の Si 基板 21 の下面に形成された絶縁膜 27 は、必ずしも必要ではない。絶縁性の接着剤 61 を使用すれば、受光素子層 20 と出力層 10 の間の電氣的絶縁は確保できるからである。これは、出力層 10 の絶縁膜 13 についても同様である。

また、外部光を光電変換して得た電気信号に対して所望の信号処理を行ってから出力する場合には、受光素子層 20 と出力層 10 の間に、所望の信号処理回路を含む信号処理回路層を設けてもよい。その信号処理回路層は、受光素子層 20

と同様の構成で容易に実現できるから、ここではその詳細な説明は省略する。

なお、上述した第1実施形態では、出力層10を設けているが、出力層10に代えてインターポーザを設けてもよいことは言うまでもない。

第2実施形態

図14は、本発明の第2実施形態の固体イメージセンサ1Aの構成を示す。

このイメージセンサ1Aは、第1実施形態の固体イメージセンサ1において、スイッチング用MOSトランジスタMを受光素子層20から出力層10に移したものに相当し、それ以外の構成は同じである。よって、図14において対応する構成要素には第1実施形態の固体イメージセンサ1と同じ符号を付して、それらに関する説明は省略する。

図14に示すように、この固体イメージセンサ1Aも、第1実施形態の固体イメージセンサ1と同じ3層構造である。

受光素子層20'では、p型の単結晶Si基板21に形成された複数の素子形成領域の各々に、n⁺型拡散領域23が形成されている。つまり、フォトダイオードPDのみが形成されている。この点で第1実施形態の固体イメージセンサ1とは異なる。このため、各素子形成領域のほぼ全面で受光が可能となっている、つまり、各素子形成領域のほぼ全面が「受光可能領域」となっている。よって、いわゆる「フィル・ファクター (Fill Factor)、つまり画素面積に対して受光面積が占める割合」を100%に近く設定できる利点がある。その他の構成は、第1実施形態の固体イメージセンサ1と同じである。

なお、第1実施形態の固体イメージセンサ1では、各素子形成領域にMOSトランジスタMが存在するため、その分だけ「受光可能領域」が減少する。つまり、第2実施形態のイメージセンサ1Aに比べると、「フィル・ファクター」が小さくなってしまう。

出力層 10' には、単結晶 Si 基板 11 に、第 1 実施形態の固体イメージセンサ 1 の受光素子層 20 に形成されていた MOS トランジスタ M が形成されている。すなわち、出力層 10' は、図 14 に示すように、下面が絶縁膜 12 で覆われた p 型の単結晶 Si 基板 11 を有している。Si 基板 11 の上面には、絶縁分離膜 22' が選択的に形成されており、その絶縁分離膜 22' によって、複数の素子形成領域（活性領域）が画素領域 PX に一対一に対応して形成されている。つまり、それら素子形成領域は、画素領域 PX と同じマトリックス状に配置されている。

Si 基板 11 の各素子形成領域の内部には、少なくとも一つの MOS トランジスタ M が形成されている。この MOS トランジスタ M は、Si 基板 11 の内部に間隔をあけて形成された一対の n^+ 型ソース・ドレイン領域（S/D 領域）23a'、23b' と、Si 基板 11 の上面を覆う絶縁膜 25a' と、絶縁膜 25a' 上に形成されたゲート電極 24' とから構成されている。絶縁膜 25a' のゲート電極 24' の直下にある部分 25aa' がゲート絶縁膜として機能する。絶縁分離膜 22' の上には配線膜 31' が形成されており、その配線膜 31' は絶縁膜 25a' に形成された窓を介して一方のソース・ドレイン領域 23a'（図 14 では左側）に接触している。素子形成領域の表面のその窓以外の部分は、絶縁膜 25a' で覆われている。

Si 基板 11 の各素子形成領域に形成された MOS トランジスタ M は、いずれも絶縁膜 13 によって覆われている。この絶縁膜 13 は、Si 基板 11 の全面を覆っている。絶縁膜 13 の表面は、受光素子層 20' との固着を容易にするために、Si 基板 11 と平行になるように平坦化されている。

絶縁膜 13 の内部には、各素子形成領域の絶縁分離膜 22' の真上に導電性プラグ 18 が埋設されている。その導電性プラグ 18 の上端と下端は、対応するマ

マイクロバンプ電極 17 と配線膜 31' にそれぞれ接触している。

絶縁分離膜 22' の上に形成された配線膜 31' は、一方では導電性プラグ 15 の上端に接触しており、他方では n^+ 型のソース・ドレイン領域 23a' に接触しているので、ソース・ドレイン領域 23a' は配線膜 31' と導電性プラグ 15 を介してマイクロバンプ電極 16 に電氣的に接続されている。また、配線膜 31' は、絶縁膜 13 中に形成された導電性プラグ 18 の下端に接触しているので、拡散領域 23 にも電氣的に接続されている。こうして、受光素子層 20' の各フォトダイオード PD は、出力層 10' の対応する MOS トランジスタ M に電氣的に接続されている。

なお、図 14 では、出力層 10' に一つの MOS トランジスタしか描かれていないが、複数のトランジスタを搭載して増幅回路や信号処理回路、メモリ回路などを構成することも可能である。また、出力層を多層にしてこれらの層にそれぞれ所望の回路を作り込むことも可能である。

本発明の第 2 実施形態の固体イメージセンサ 1A は、第 1 実施形態の製造方法とほぼ同様にして製造できる。すなわち、受光素子層 20' は、第 1 実施形態の受光素子層 20 とほぼ同様にして製造できることが明らかである。また、出力層 10' は、第 1 実施形態の受光素子層 20 の場合と同様にして Si 基板 11 に MOS トランジスタ M を形成すれば、他の工程は第 1 実施形態の出力層 10 の場合と同様にして製造できる。よって、それらの詳細な説明は省略する。

本発明の第 2 実施形態の固体イメージセンサ 1A は、以上のような構成であるから、第 1 実施形態の固体イメージセンサ 1A と同様の効果が得られることは言うまでもない。しかし、固体イメージセンサ 1A では、さらに次のような効果が得られる。

一般に、CCD を利用した固体イメージセンサは、いわゆる「フィル・ファク

ター」を高くできる反面、動作速度を早くできない、入力電気信号の増幅などの処理ができない（それ専用の回路が別に必要である）、といった難点がある。他方、本発明のようなフォトダイオードやMOSトランジスタを受光素子に利用した固体イメージセンサは、高速、高感度といった性能が得られると共に、入力電気信号の増幅などの処理が可能である反面、フィル・ファクターを高くするのが難しい、という難点がある。

本発明の第2実施形態の固体イメージセンサによれば、これら両型の特徴（利点）を併せ持つことができる。つまり、高速、高感度であると共にフィル・ファクターを大きくして高解像度も実現できる。しかも、入力電気信号の増幅や演算などの処理が可能となるので、高機能化も容易である。

上述した第2実施形態においても、出力層10'に代えてインターポーザを設けてもよい。

第3実施形態

図15は、本発明の第3実施形態の固体イメージセンサ1Bの構成を示す。

このイメージセンサ1Bは、図14の第2実施形態の固体イメージセンサ1Aにおいて、フォトダイオードPDに代えて受光用MOSトランジスタ（フォトトランジスタ）M'を受光素子層20"の内部に設けたものに相当し、それ以外の構成は同じである。また、受光素子層20"のMOSトランジスタM'の構成は、上下が逆になっている以外は、出力層10'のMOSトランジスタMと実質的に同じである。

図15に示すように、この固体イメージセンサ1Bも3層構造であり、受光素子層20"では、単結晶Si基板21の下面側に形成された複数の素子形成領域の各々に、一对のソース・ドレイン領域23a、23bが形成されている。この点で第1実施形態および第2実施形態の固体イメージセンサ1および1Aとは異

なっている。

固体イメージセンサ 1 B では、受光素子としての MOS トランジスタ M' が各素子形成領域において上下逆に配置されているため、各素子形成領域のほぼ全面で受光が可能である、つまり、各素子形成領域のほぼ全面が「受光可能領域」となる。よって、第 2 実施形態と同様に、「フィル・ファクター」を 100% に近く設定できる利点がある。なお、光導入層 40 に取り込まれた外部光は、受光素子層 20" の Si 基板 21 を介して MOS トランジスタ M' に照射される。

受光素子層 20" の MOS トランジスタ M' は、Si 基板 21 の下面側より内部に間隔をあけて形成された一対の n^+ 型ソース・ドレイン領域 23 a、23 b と、Si 基板 11 の下面を覆う絶縁膜 25 a と、絶縁膜 25 a の下に形成されたゲート電極 24 とから構成されている。絶縁膜 25 a のゲート電極 24 の直下にある部分 25 a a がゲート絶縁膜として機能する。絶縁分離膜 22 の下には、配線膜 31 が形成されている。その配線膜 31 は、絶縁膜 25 a に形成された窓を介して一方のソース・ドレイン領域 23 a（図 15 では左側）に接触している。素子形成領域の表面のその窓以外の部分は、絶縁膜 25 a で覆われている。

Si 基板 21 の各素子形成領域に形成された MOS トランジスタ M' の下面は、いずれも絶縁膜 25 c によって覆われている。この絶縁膜 25 c は、Si 基板 21 の全面を覆っている。絶縁膜 25 c の表面は、出力層 10' との固着を容易にするために、Si 基板 21 と平行になるように平坦化されている。

絶縁膜 25 c の内部には、各素子形成領域の絶縁分離膜 22 の真下に導電性プラグ 19 が埋設されている。その導電性プラグ 19 の上端と下端は、対応する配線膜 31 とマイクロバンプ電極 30 とにそれぞれ接触している。

出力層 10' において、絶縁分離膜 22' の上に形成された配線膜 31' は、一方では導電性プラグ 18 の下端に接触しており、他方では n^+ 型のソース・ド

レイン領域 23 a' に接触しているので、ソース・ドレイン領域 23 a' は配線膜 31' と導電性プラグ 18 を介してマイクロバンプ電極 17 に電氣的に接続されている。マイクロバンプ電極 17 は、マイクロバンプ電極 30 に接触していて電氣的に接続されているので、受光素子層 20" のソース・ドレイン領域 23 a は、配線膜 31、導電性プラグ 19、マイクロバンプ電極 30、マイクロバンプ電極 17、導電性プラグ 18、および配線層 31' を介して、出力層 10' のソース・ドレイン領域 23 a' に電氣的に接続されている。

こうして、受光素子層 20" の受光用の各 MOS トランジスタ M' は、出力層 10' の対応するスイッチング用の MOS トランジスタ M に電氣的に接続されている。

なお、受光用の MOS トランジスタ M' に代えてフォトダイオードを用いてもよいことは言うまでもない。

第 3 実施形態の固体イメージセンサ 1 B は、第 1 および第 2 の実施形態の製造方法を組み合わせて容易に製造できる。その製造方法の一例を簡単に説明すると、次の通りである。

まず、受光素子層 20" と出力層 10' を別の単結晶 Si 基板を用いてそれぞれ作製する。すなわち、受光素子層 20" は、Si 基板 21 として図 3 に示すような SOI 基板を用いる（通常の Si 基板を用いてもよい。）Si 基板 21 の表面に、公知の方法で、図 15 に示すような受光用 MOS トランジスタ M' と配線膜 31 を形成してから、Si 基板 21 の表面に絶縁膜 25 c を形成し、受光用 MOS トランジスタ M' を覆う。その後、導電性プラグ 19 を絶縁膜 25 c 中に埋設し、絶縁膜 25 c の表面を平坦化してから、マイクロバンプ電極 30 を形成する。

他方、出力層 10' は、図 8 に示したのと同様に、Si 基板 11 と 81 からな

るSOI基板を用いて作製する。すなわち、Si基板11の表面の素子形成領域に、公知の方法でスイッチング用MOSトランジスタMを形成する。そして、配線膜31'を形成してからMOSトランジスタMと配線膜31'を絶縁膜13で覆う。絶縁膜13に導電性プラグ18を埋設してから、絶縁膜13の表面を平坦化する。そして、マイクロバンプ電極17を形成する。

ただし、図8の場合（第1実施形態）は素子形成領域にスイッチング用MOSトランジスタMが形成されていないが、第3実施形態の出力層10'にはスイッチング用MOSトランジスタMを形成する。なお、増幅回路や信号処理回路を搭載する場合には、必要に応じてスイッチング用MOSトランジスタM以外にも複数のMOSトランジスタ等を作製してよいことは言うまでもない。

次に、以上のようにして作製した受光素子層20"用の構造を持つSi基板21および71と、出力層10'用の構造を持つSi基板11および81とを、MOSトランジスタMとM'が形成されている側の面を向かい合わせにして貼り合わせる。貼り合わせに際しては、図15に示すように、受光素子層20"用の構造を持つSi基板21の表面にあるマイクロバンプ電極30と、出力層10'用の構造を持つSi基板11の表面にあるマイクロバンプ電極17とが互いに向かい合うように接触させ、それらバンプ電極30と17の一部を溶着させることによって結合させる。そして、Si基板21上の絶縁膜25cとSi基板11上の絶縁膜13の間の隙間に接着剤61を充填して固着させる。

その後、研磨またはエッチングによって、受光素子層20"側のSi基板71と絶縁膜27を完全に除去すると共に、Si基板21を裏面から部分的に除去し、所望の受光が可能になる程度の厚さにまで十分に薄くする。

次に、図4～図7に示したのと同様にして、薄くしたSi基板21の裏面上に、層間絶縁膜26を形成し、その上にマイクロレンズ43とAl膜44を形成し

、接着剤層 4 5 を介して単結晶 S i 板 4 1 を貼り付ける。

その後、出力層 1 0' 用の構造を持つ S i 基板 1 1 の側の S i 基板 8 1 を裏面から研磨またはエッチングによって完全に除去し、絶縁膜 1 2 と導電性プラグ 1 5 の下端を露出させる。そして、露出せしめられた導電性プラグ 1 5 の下端の部分にマイクロバンプ電極 1 6 を形成する。

最後に、図 1 2 に示したのと同様の方法で、キャビティ 4 2 と支持壁 5 0 を形成してから、キャップとなる石英ガラス 5 1 を貼り付け、光導入層 4 0 を形成する。こうして、図 1 5 に示す構造が得られる。

本発明の第 3 実施形態の固体イメージセンサ 1 B は、以上のような構成であるから、第 2 実施形態の固体イメージセンサ 1 A と同様の効果が得られることは言うまでもない。

上述の通り、第 3 実施形態の固体イメージセンサ 1 B では、受光用 MOS トランジスタ（フォトトランジスタ）M' に対してそのゲート電極 2 4 とは反対側から光を照射している。従って、この点で第 1 実施形態の固体イメージセンサ 1 とは異なる。

第 3 実施形態の固体イメージセンサ 1 B では、フォトトランジスタ M' に代えてフォトダイオードを使用することもできる。こうすると、そのフォトダイオードに対してはそのフォトダイオードが形成された S i 基板を介して光が照射される。従って、この点で第 2 実施形態の固体イメージセンサ 1 A とは異なる。

上述した第 3 実施形態においても、出力層 1 0' に代えてインターポーザを設けてもよい。

第 4 実施形態

図 1 6 は、本発明の第 4 実施形態の固体イメージセンサ 1 C の構成を示す。

このイメージセンサ 1 C は、上述した第 1 ～第 3 実施形態とは異なり、光導入

層 40A がキャビティを持っていない。また、受光素子層 20 とインターポーザ 10A の間に、所定の半導体素子（図示せず）を内蔵した半導体素子層 90 が設けられている。これらの半導体素子は、必要に応じて、半導体素子層 90 の上下両面に設けられた電極 30 に電氣的に接続されている。その他の構成は、上述した第 1 実施形態と同じであるから、それらの説明は省略する。

図 16 に示すように、第 4 実施形態における光導入層 40A は、透光性の本体すなわち板状の透光性キャップ 51A と、その透光性キャップ 51A の内部に一体的に形成され且つ受光素子層 20 の透光領域上に複数の画素領域 PX に対応して配置された複数のマイクロレンズ 43 とを含んでいる。図 16 より明らかなように、透光性キャップ 51A の内部にはキャビティは存在しない。透光性キャップ 51A は、石英板等の任意の透光性板材により形成される。

次に、以上の構成を持つ第 4 実施形態の固体イメージセンサ 1C の製造方法を、図 17 と図 18 を参照しながら説明する。

まず、第 1 実施形態の場合と同様にして、図 17 に示す構成の受光素子層 20 を得る。図 17 に示す受光素子層 20 の詳細構成は、下面に電極 30 が設けられていることを除いて図 3 のそれと同じである。

また、公知の方法により、石英板等よりなる透光性キャップ 51A の内部に、複数のマイクロレンズ 43 を形成する。例えば、エッチングによって石英板の一面を選択的に断面円弧状に除去して複数の凹部を形成する。そして、それら凹部の中に適当なレンズ用材料を充填すれば、複数のマイクロレンズ 43 を埋設・内蔵した透光性キャップ 51A が得られる。

その後、こうして得た透光性キャップ 51A を、接着剤 52A によって受光素子層 20 の表面に固着する。この時、複数のマイクロレンズ 43 が受光素子層 20 の各透光領域上に対応する画素領域 PX に重なって配置されるように、両者の

位置決めを行う。そして、受光素子層 20 の下面に電極 30 を形成する。この時の状態は図 17 に示すとおりである。

インターポーザ 10A は、第 1 実施形態で出力層 10 を形成するのに使用したものと同様の方法で作製する。半導体素子層 90 は、第 1 実施形態で受光素子層 20 を形成するのに使用したものと同様の方法で作製することができる。その後、接着剤 61 を用いて、インターポーザ 10A の上に半導体素子層 90 を載せて固着する。この時の状態は図 18 に示すとおりである。

最後に、インターポーザ 10A の上に固着された半導体素子層 90（図 18 参照）の上に、接着剤 61 を用いて、透光性キャップ 51A を表面に固着した受光素子層 20（図 17 参照）を固着する。こうして、図 16 に示した第 4 実施形態の固体イメージセンサ 1C が得られる。

第 4 実施形態の固体イメージセンサ 1C は、以下のような方法によっても製造できる。その方法を図 19 と図 20 を参照しながら説明する。

インターポーザ 10A は、第 1 実施形態で出力層 10 を形成するのに使用したものと同様の方法で作製する。半導体素子層 90 は、第 1 実施形態で受光素子層 20 を形成するのに使用したものと同様の方法で作製する。その後、接着剤 61 を用いて、インターポーザ 10A の上に半導体素子層 90 を載せて固着する。ここまでの工程は図 17 ～図 18 を用いて説明した上記の製造方法と同一である。その後、支持基板（例えば石英板）92 を半導体素子層 90 の上面に紫外線分解型の接着剤 93 を用いて固着してから、インターポーザ 10A の下面に電極 16 を形成する。この時の電極 16 の形成工程は、インターポーザ 10A と半導体素子層 90 からなる積層体を支持基板 92 で支持しながら実行する。この時の状態は図 19 に示すようになる。

その後、硬化後の紫外線分解型接着剤 93 に所定の紫外線を照射すると、接着

剤 9 3 は化学的に分解する。その結果、周囲に悪影響を与えることなしに支持基板 9 2 を半導体素子層 9 0 から容易に分離することができる。そこで、半導体素子層 9 0 の表面に電極 1 7 を形成する。この時の状態は図 2 0 に示すようになる。

他方、図 1 7 ～図 1 8 を用いて説明した上記の製造方法と同一の方法により、図 1 6 に示すインターポーザ 1 0 A と受光素子層 2 0 の積層体を形成する。そして、インターポーザ 1 0 A と受光素子層 2 0 の積層体を、図 2 0 に示す半導体素子層 9 0 とインターポーザ 1 0 A の積層体の上に乗せ、対向する電極 1 7 と電極 3 0 とを接触させた状態でその隙間に接着剤 6 1 を充填・硬化させ、両者を固着する。こうして、図 1 6 に示した第 4 実施形態の固体イメージセンサ 1 C が得られる。

紫外線分解型の接着剤 9 3 に代えて、他の任意の接着剤を用いてもよい。その場合は、接着剤層をエッチングで除去すれば、支持基板 9 2 を半導体素子層 9 0 から分離することができる。また、紫外線分解型の接着剤 9 3 に代えて、他の任意の絶縁体等よりなる犠牲層を形成し、その犠牲層によって支持基板 9 2 を半導体素子層 9 0 に固着してもよい。この場合、犠牲層をエッチングにより除去すれば、支持基板 9 2 を半導体素子層 9 0 から分離することができる。

上記第 4 実施形態ではインターポーザを設けているが、インターポーザに代えて出力層を設けてもよいことは言うまでもない。

変形例

なお、上記第 1 ～第 4 の実施形態は、本発明の好適な例を示すものである。本発明はこれらの実施形態に限定されるものではなく、種々の変更が可能なことは言うまでもない。

例えば、増幅以外の任意の信号処理用の半導体素子や回路を受光素子層 2 0 や

出力層 10 の中に形成してもよいし、任意の信号処理用の半導体素子や回路を別個の層として形成し、それを受光素子層 20 と出力層 10 の間に配置するようにしてもよい。さらに、必要に応じて、受光素子層 20 と出力層 10 の間に任意の他の層を 1 個あるいは複数個、追加してもよい。

以上説明したように、本発明によれば、いわゆるチップサイズ・パッケージを持ち、しかも、格別に高度な技術が要求されず容易に製造することができる固体イメージセンサが得られる。また、近年の信号処理速度向上の要請に応じた十分高い動作速度（例えば、GHz オーダーの動作周波数）が得られる。さらに、必要に応じて、入力電気信号の増幅回路や信号処理回路などの種々の回路を組み込むことができる。その結果、高速、高感度かつ高機能で超小型の固体イメージセンサが得られる。

請求の範囲

1. 規則的に配置された複数の画素領域を一面に有する固体イメージセンサであって、

(a) 複数の前記画素領域に対応して配置されると共に照射される光に応じて電気信号を生成する複数の半導体受光素子と、それら半導体受光素子に対して光の照射を可能にする透光領域とを含む受光素子層と、

(b) 前記透光領域を介して前記受光素子層の前記半導体受光素子に光を導入するための光導入層と、

(c) 前記受光素子層の複数の前記半導体受光素子により生成される電気信号を外部に出力するための複数の出力端子を有する出力層またはインターポーザとを備え、

前記光導入層は、

(b-1) 前記受光素子層の透光領域上に複数の前記画素領域に対応して配置された複数のマイクロレンズと、

(b-2) 前記透光領域上に形成された、前記マイクロレンズを収容するキャビティを形成するための支持壁と、

(b-3) 前記キャビティを形成するように前記支持壁に固着された透光性カバーとを含み、

前記透光性カバーを介して前記キャビティの内部に導入される外部光が、前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるように構成されていることを特徴とする固体イメージセンサ。

2. 前記光導入層の複数の前記マイクロレンズの各々が、島状にパターン化されたレンズ用透光膜により形成されている請求の範囲 1 に記載の固体イメージセンサ。

3. 複数の前記マイクロレンズが、前記受光素子層の前記透光領域の表面に配置されている請求の範囲 1 に記載の固体イメージセンサ。
4. 前記光導入層の前記支持壁が、接着剤によって前記透光領域の表面に固着された剛性材を含んでいる請求の範囲 1 に記載の固体イメージセンサ。
5. 前記受光素子層または前記出力層または前記インターポーザが、複数の前記半導体受光素子が生成する電気信号を処理する少なくとも一つの半導体素子を含んでいる請求の範囲 1 に記載の固体イメージセンサ。
6. 前記受光素子層の前記半導体受光素子として、フォトダイオード、フォトトランジスタおよび MOS トランジスタの少なくとも一つを含んでいる請求の範囲 1 に記載の固体イメージセンサ。
7. 前記出力層または前記インターポーザが、半導体基板中に埋め込まれた埋込配線を有しており、前記受光素子層の前記半導体受光素子により生成される前記電気信号は、前記埋込配線を介して前記出力層または前記インターポーザの前記出力端子に送られる請求の範囲 1 に記載の固体イメージセンサ。
8. 前記受光素子層の前記透光領域が絶縁膜によって形成されている請求の範囲 1 に記載の固体イメージセンサ。
9. 前記受光素子層の前記透光領域が絶縁膜と半導体基板によって形成されている請求の範囲 1 に記載の固体イメージセンサ。
10. 前記受光素子層と前記出力層または前記インターポーザの間に、前記半導体受光素子により生成される前記電気信号に対して所定の信号処理を施すための信号処理回路を含む信号処理層が設けられている請求の範囲 1 に記載の固体イメージセンサ。
11. 規則的に配置された複数の画素領域を一面に有する固体イメージセンサ

の製造方法であって、

(a) 複数の前記画素領域に対応して配置されると共に照射される光に応じて電気信号を生成する複数の半導体受光素子と、それら半導体受光素子に対して光の照射を可能にする透光領域とを含む受光素子層を形成する工程と、

(b) 前記透光領域を介して前記受光素子層の前記半導体受光素子に光を導入するための光導入層を形成する工程と、

(c) 前記受光素子層の複数の前記半導体受光素子により生成される電気信号を外部に出力するための複数の出力端子を有する出力層を形成する工程とを備え

、
前記光導入層を形成する工程 (b) では、

(b-1) 前記受光素子層の透光領域上に複数のマイクロレンズを複数の前記画素領域に対応して形成する工程と、

(b-2) 前記マイクロレンズを収容するキャビティを形成するための支持壁を前記透光領域上に形成する工程と、

(b-3) 前記支持壁に透光性カバーを固着して前記キャビティを形成し、前記透光性カバーを介して前記キャビティの内部に導入される外部光が、前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるようにする工程とが実行されることを特徴とする固体イメージセンサの製造方法。

12. 前記受光素子層の前記透光領域上にレンズ用透光膜を形成し、そのレンズ用透光膜それ自体をリソグラフィー法によってパターン化して複数の島状部分を形成し、その後、複数の前記島状部分に対して熱処理を行うことによって前記島状部分の各々の表面を湾曲させ、もって複数の前記マイクロレンズを形成する請求の範囲11に記載の固体イメージセンサの製造方法。

13. 前記レンズ用透光膜が有機材料から形成されている請求の範囲12に記

載の固体イメージセンサの製造方法。

14. 前記受光素子層の前記透光領域上にレンズ用透光膜を形成し、そのレンズ用透光膜上にマスクを形成し、そのマスクを用いて前記レンズ用透光膜をエッチングして複数の島状部分を形成し、もって複数の前記マイクロレンズを形成する請求の範囲11に記載の固体イメージセンサの製造方法。

15. 前記レンズ用透光膜が無機材料から形成されている請求の範囲14に記載の固体イメージセンサの製造方法。

16. 前記光導入層の前記支持壁が、前記受光素子層の前記透光領域上に複数の前記マイクロレンズを覆うように剛性板を接着し、その剛性板をエッチングして複数の前記マイクロレンズを露出させることによって形成される請求の範囲11に記載の固体イメージセンサの製造方法。

17. 複数の前記マイクロレンズと前記剛性板の間に、前記剛性板のエッチングの際にエッチング・ストoppaとして機能する膜を形成する工程を含む請求の範囲16に記載の固体イメージセンサの製造方法。

18. エッチング・ストoppaとして機能する前記膜が、前記剛性板のエッチングが終了した後に、エッチングにより除去される請求の範囲17に記載の固体イメージセンサの製造方法。

19. 前記工程(c)の後に、前記出力層と前記受光素子層とを直接あるいは他の層を介して機械的に接続すると共に、前記出力層の前記出力端子と前記半導体受光素子により生成される電気信号の経路とを電気的に接続する工程(d)をさらに備えている請求の範囲11に記載の固体イメージセンサの製造方法。

20. 規則的に配置された複数の画素領域を一面に有する固体イメージセンサであって、

(a) 複数の前記画素領域に対応して配置されると共に照射される光に応じて

電気信号を生成する複数の半導体受光素子と、それら半導体受光素子に対して光の照射を可能にする透光領域とを含む受光素子層と、

(b) 前記透光領域を介して前記受光素子層の前記半導体受光素子に光を導入するための光導入層と、

(c) 前記受光素子層の複数の前記半導体受光素子により生成される電気信号を外部に出力するための複数の出力端子を有する出力層またはインターポーザとを備え、

前記光導入層は、

(b-1) 透光性の本体と、

(b-2) 前記本体の内部に一体的に形成され、且つ前記受光素子層の透光領域上に複数の前記画素領域に対応して配置された複数のマイクロレンズとを含み、

前記本体の内部に導入される外部光が、前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるように構成されていることを特徴とする固体イメージセンサ。

21. 複数の前記マイクロレンズが、前記受光素子層の前記透光領域の表面に配置されている請求の範囲20に記載の固体イメージセンサ。

22. 前記受光素子層または前記出力層または前記インターポーザが、複数の前記半導体受光素子が生成する電気信号を処理する少なくとも一つの半導体素子を含んでいる請求の範囲20に記載の固体イメージセンサ。

23. 前記受光素子層の前記半導体受光素子として、フォトダイオード、フォトトランジスタおよびMOSトランジスタの少なくとも一つを含んでいる請求の範囲20に記載の固体イメージセンサ。

24. 前記出力層または前記インターポザが、半導体基板中に埋め込まれた埋込配線を有しており、前記受光素子層の前記半導体受光素子により生成される前記電気信号は、前記埋込配線を介して前記出力層の前記出力端子に送られる請求の範囲20に記載の固体イメージセンサ。

25. 前記受光素子層の前記透光領域が絶縁膜によって形成されている請求の範囲20に記載の固体イメージセンサ。

26. 前記受光素子層の前記透光領域が絶縁膜と半導体基板によって形成されている請求の範囲20に記載の固体イメージセンサ。

27. 前記受光素子層と前記出力層の間に、前記半導体受光素子により生成される前記電気信号に対して所定の信号処理を施すための信号処理回路を含む信号処理層が設けられている請求の範囲20に記載の固体イメージセンサ。

28. 規則的に配置された複数の画素領域を一面に有する固体イメージセンサの製造方法であって、

(a) 複数の前記画素領域に対応して配置されると共に照射される光に応じて電気信号を生成する複数の半導体受光素子と、それら半導体受光素子に対して光の照射を可能にする透光領域とを含む受光素子層を形成する工程と、

(b) 透光性の本体の内部に一体的に形成された複数のマイクロレンズを含む、前記透光領域を介して前記受光素子層の前記半導体受光素子に光を導入するための光導入層を形成する工程と、

(c) 前記受光素子層の複数の前記半導体受光素子により生成される電気信号を外部に出力するための複数の出力端子を有する出力層またはインターポザを形成する工程と、

(d) 前記工程(a)で形成した前記受光素子層と前記工程(b)で形成した

前記光導入層とを機械的に接続し、もって前記光導入層の内部に導入される外部光が前記マイクロレンズを介して前記受光素子層の前記半導体受光素子に照射されるようにする工程と、

(e) 前記工程(c)で形成した前記出力層または前記インターポーザと前記工程(b)で形成した前記光導入層とを直接、または他の層を介して機械的に接続すると共に、前記出力層または前記インターポーザの前記出力端子と前記半導体受光素子により生成される電気信号の経路とを電氣的に接続する工程とを備えたことを特徴とする固体イメージセンサの製造方法。

29. 前記光導入層を形成する工程(b)において、複数の前記マイクロレンズが、前記本体の所望部分に屈折率の異なるレンズ領域を形成することにより形成される請求の範囲28に記載の固体イメージセンサの製造方法。

FIG. 1

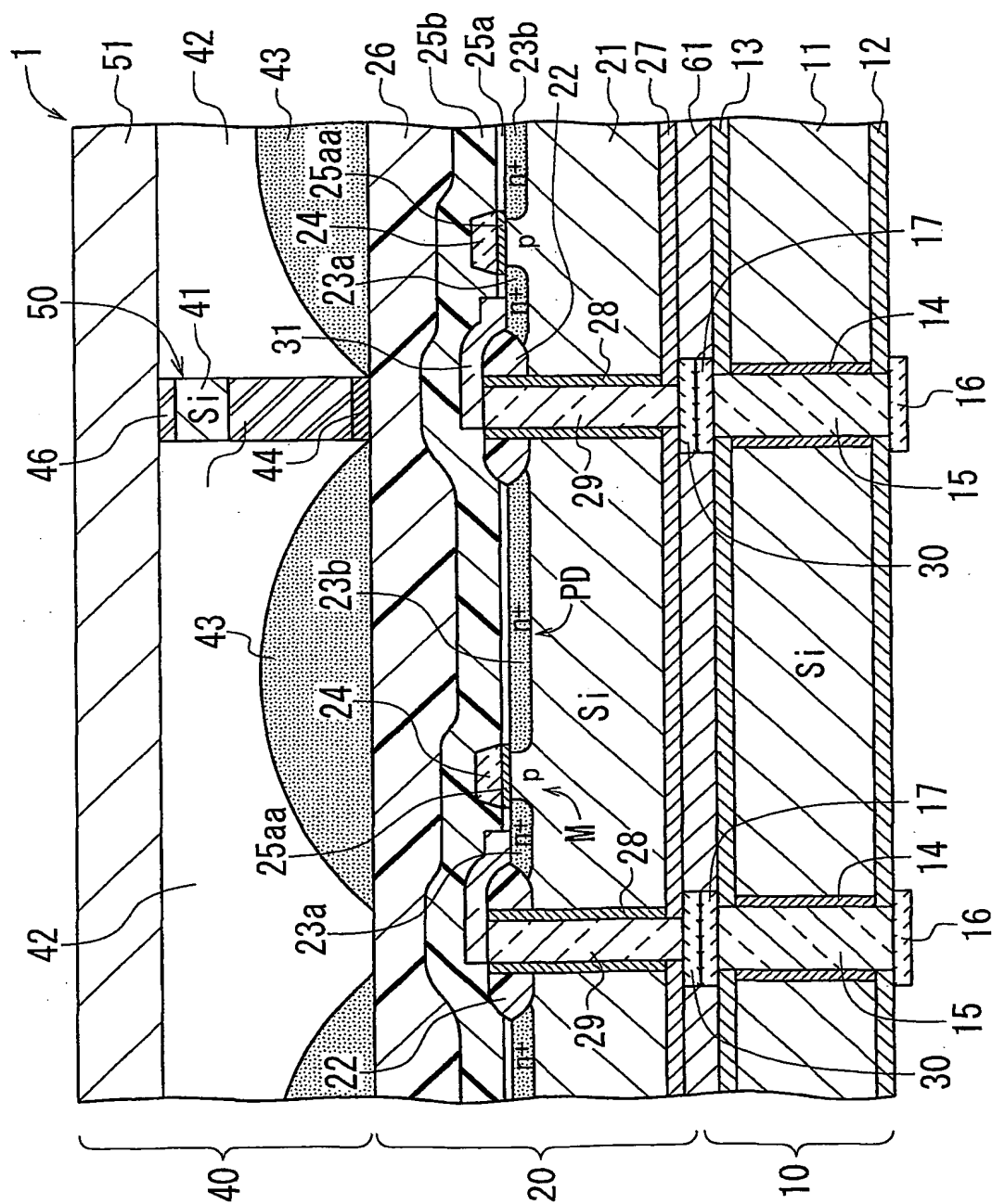


FIG. 2

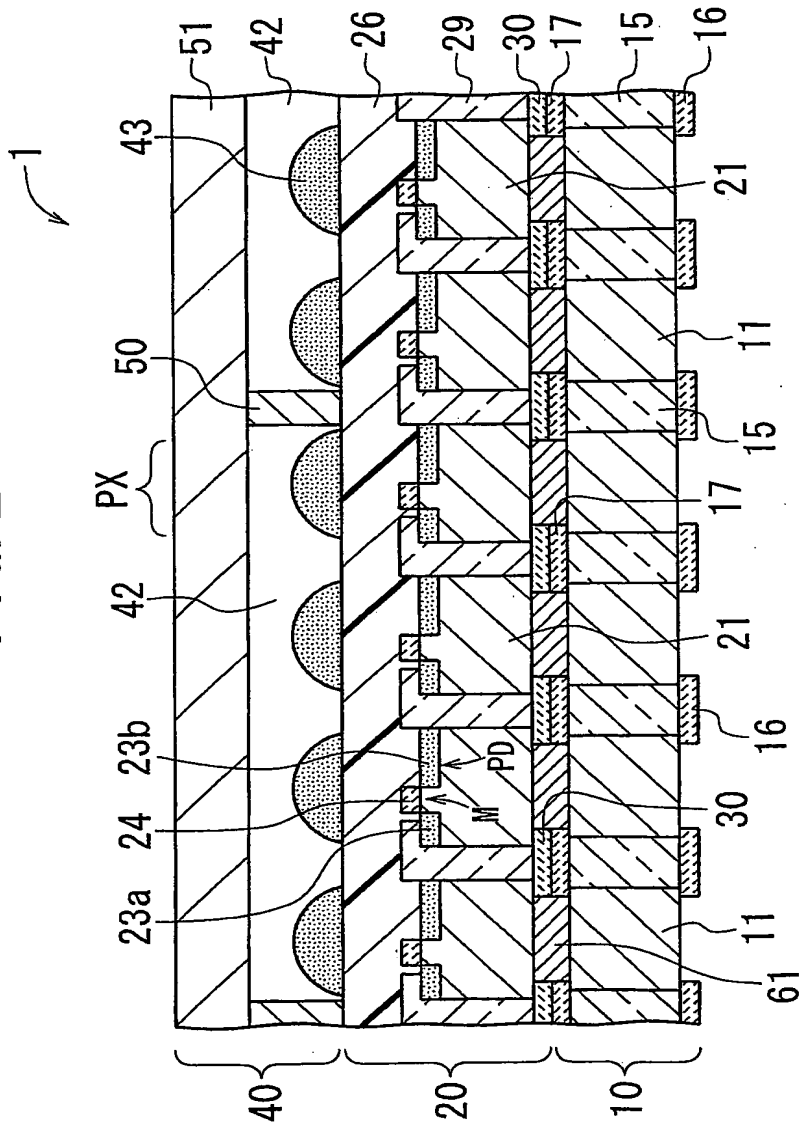
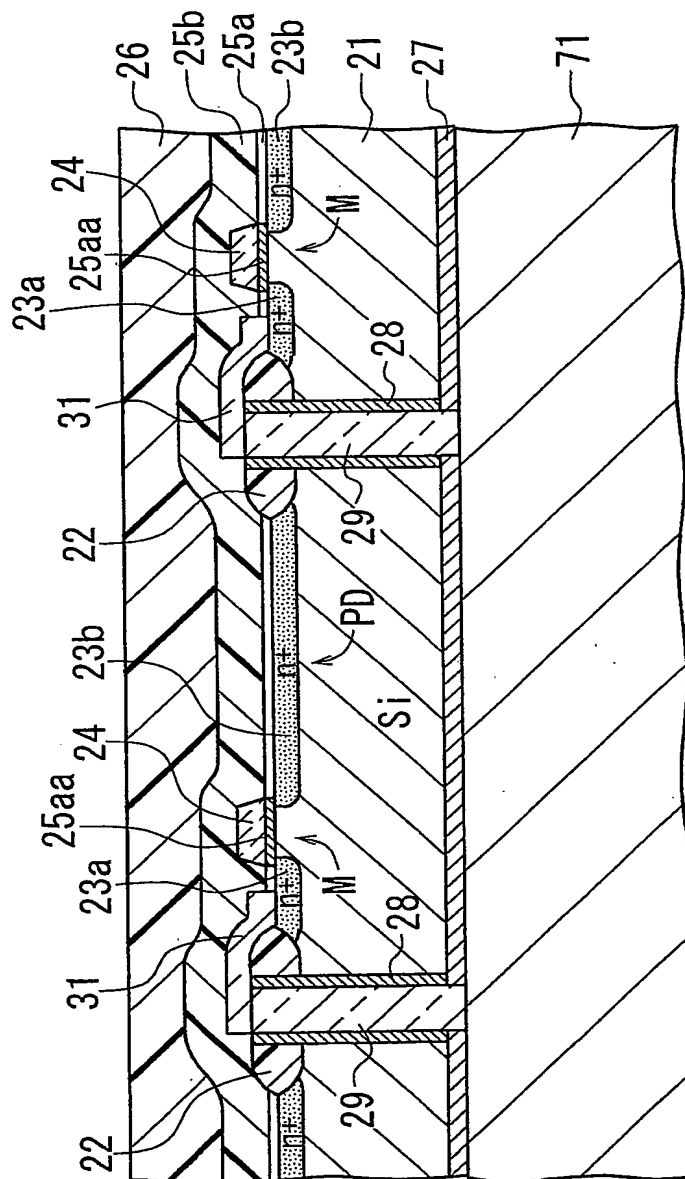


FIG. 3



4/20

FIG. 4

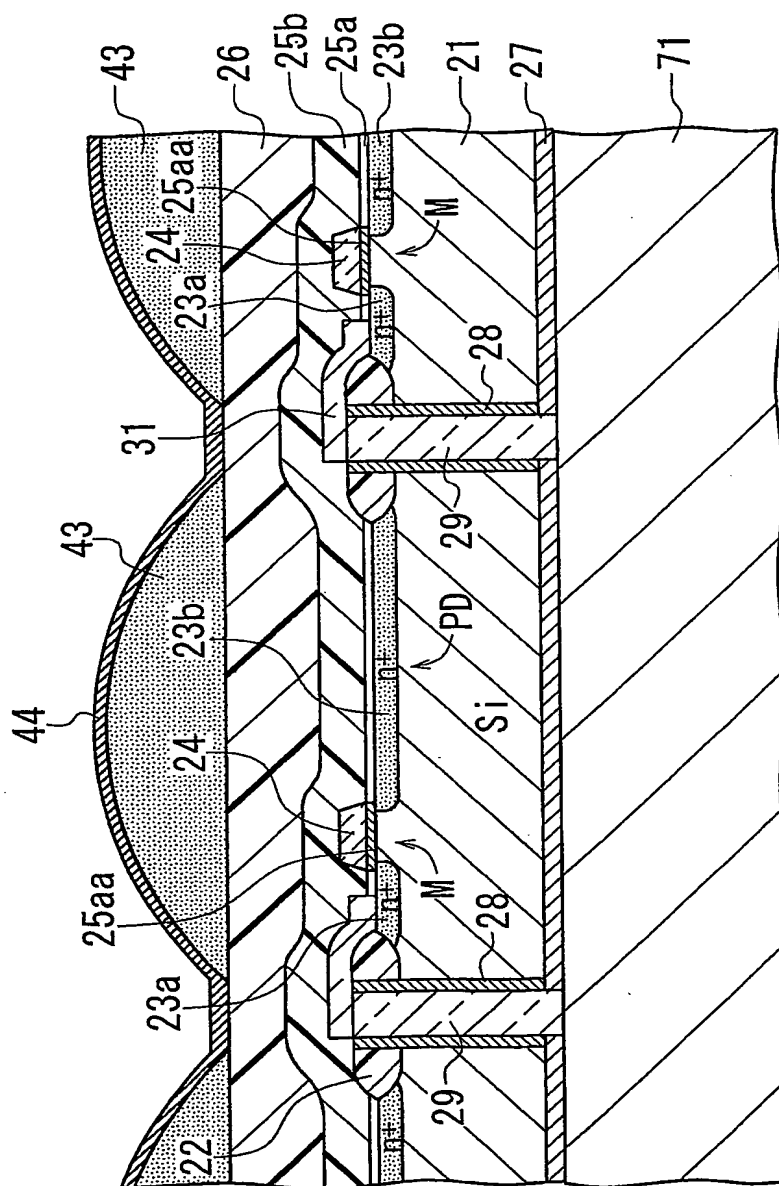


FIG. 5

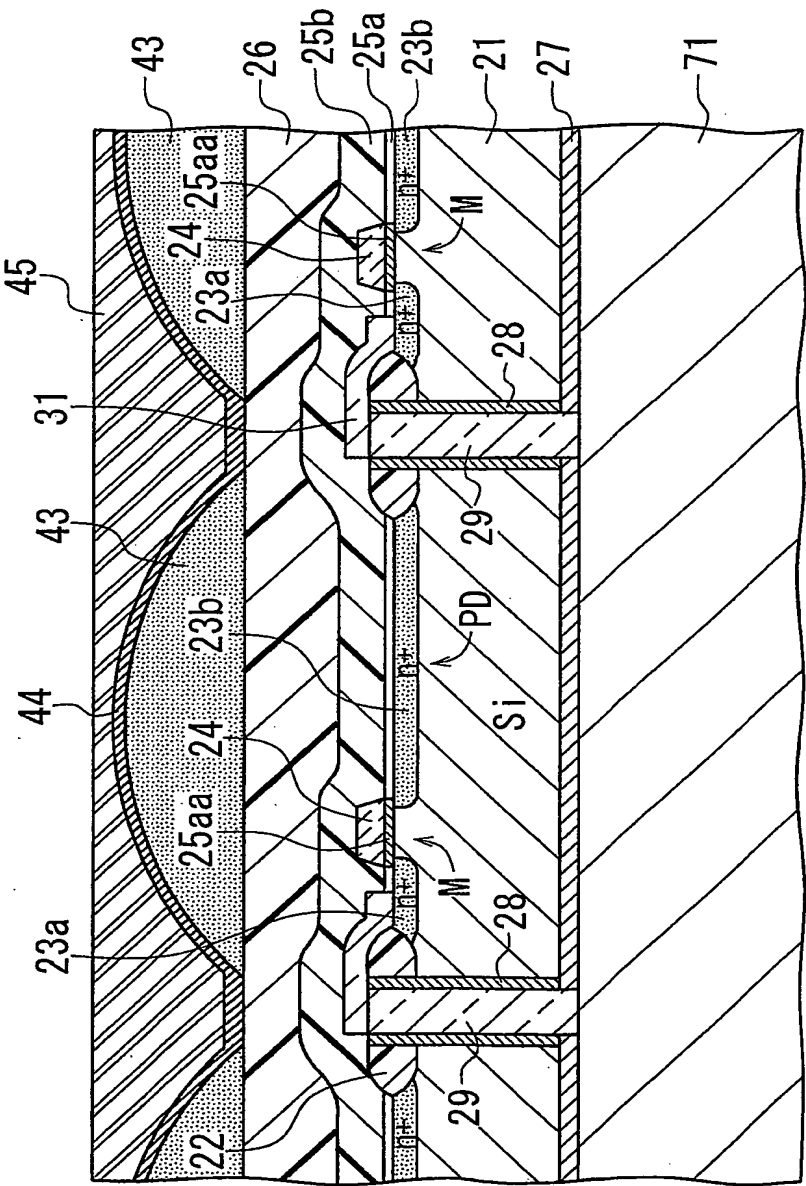
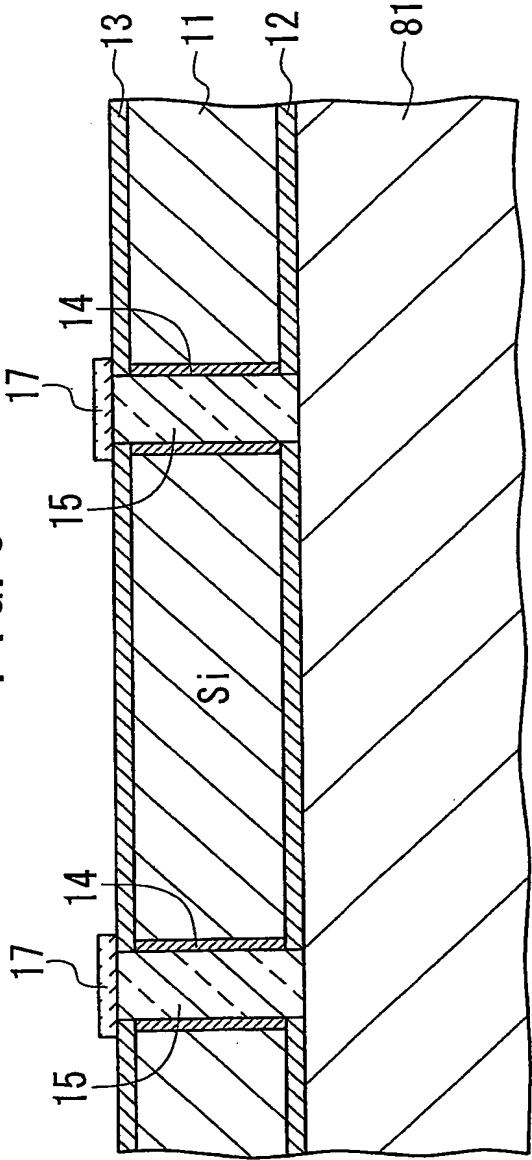
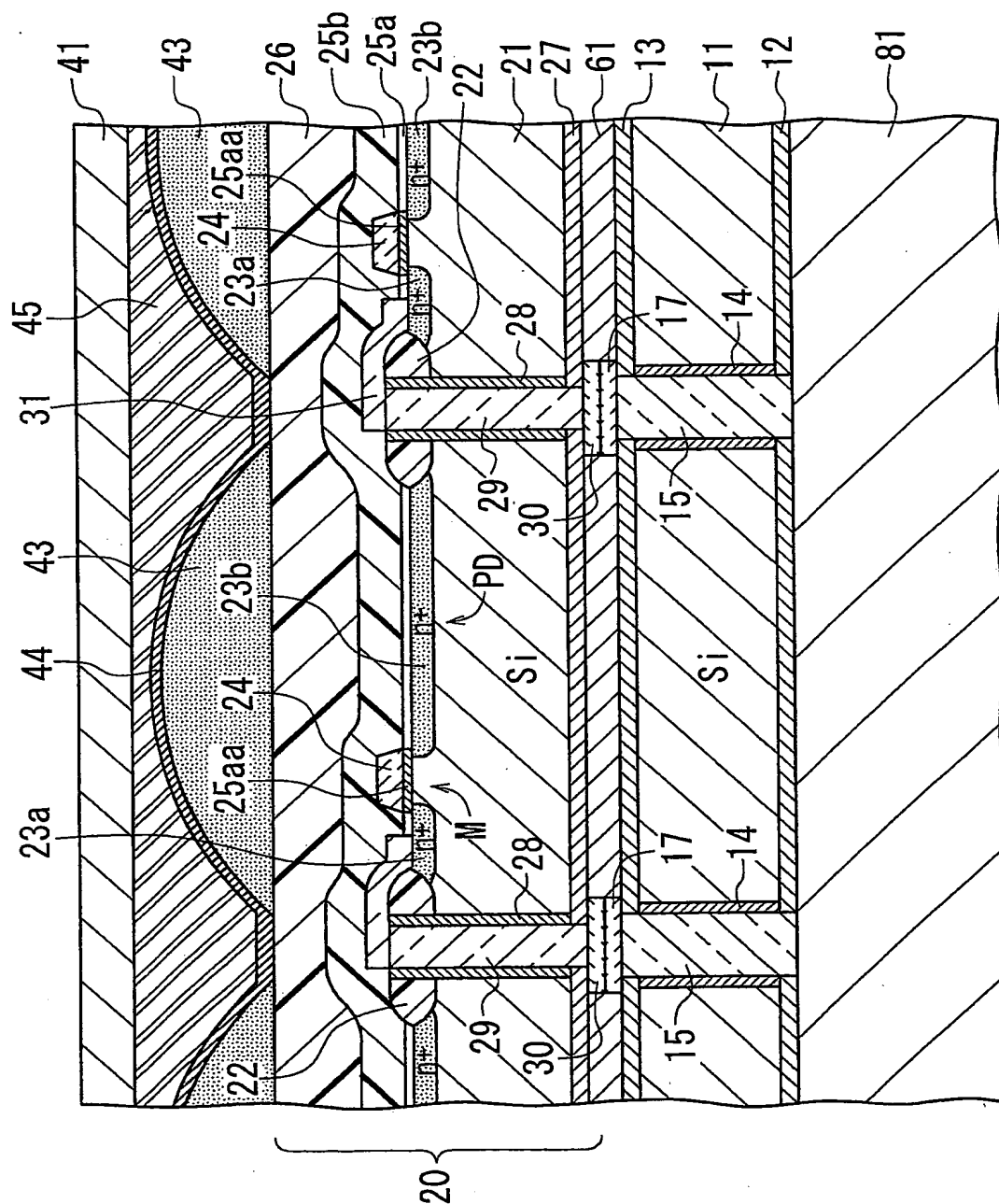


FIG. 8



9/20

FIG. 9



10/20

FIG. 10

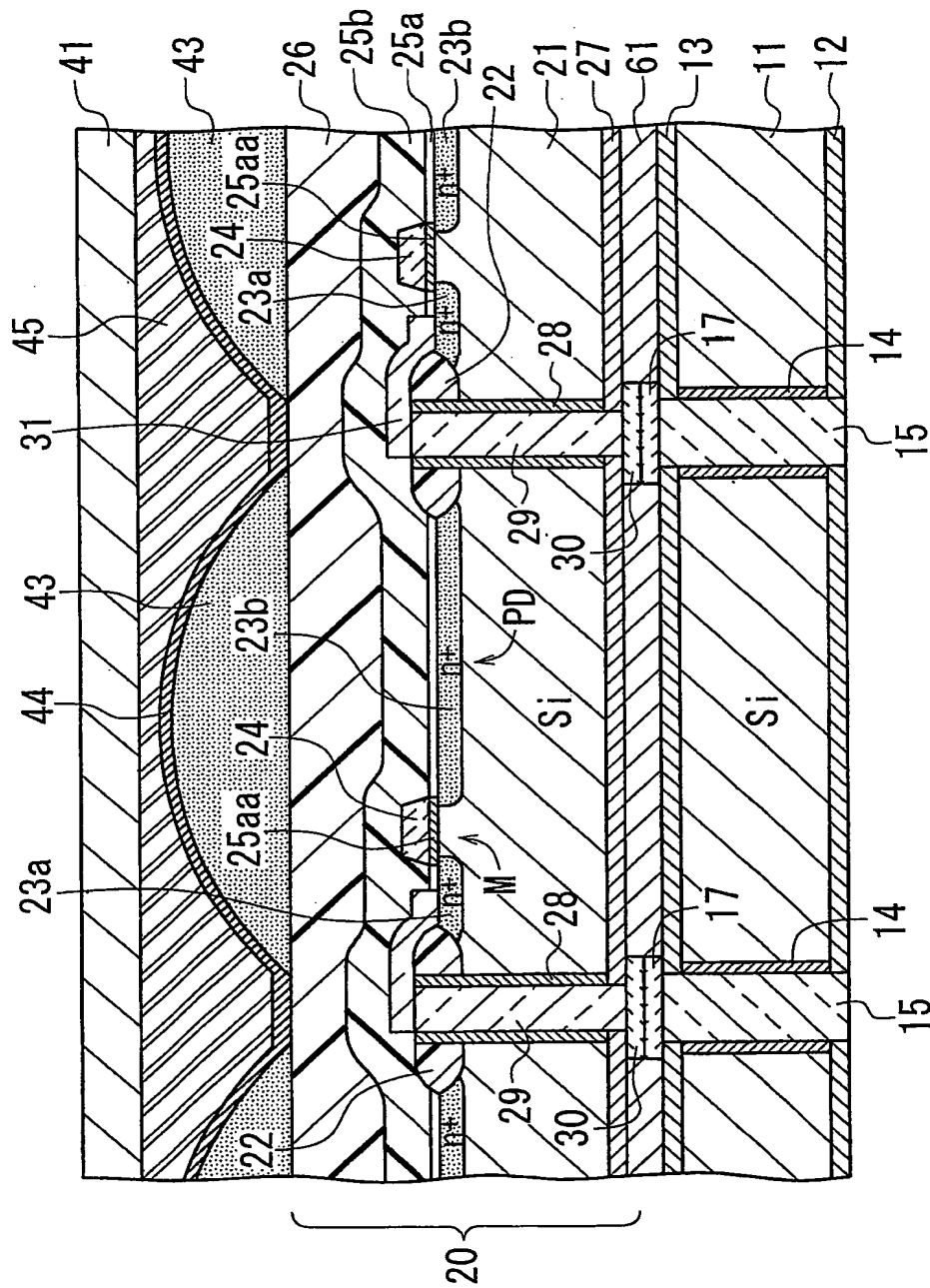


FIG. 11

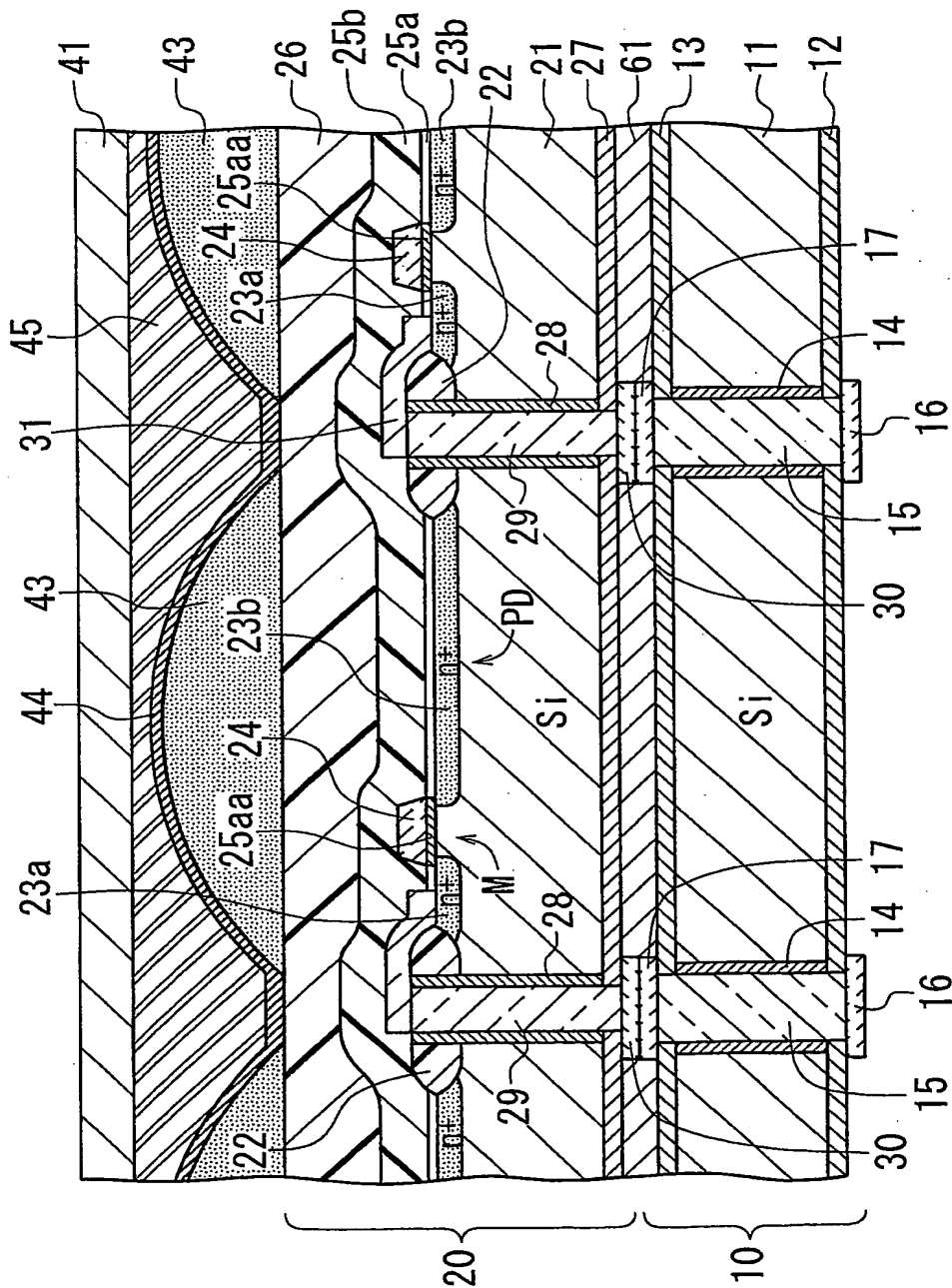
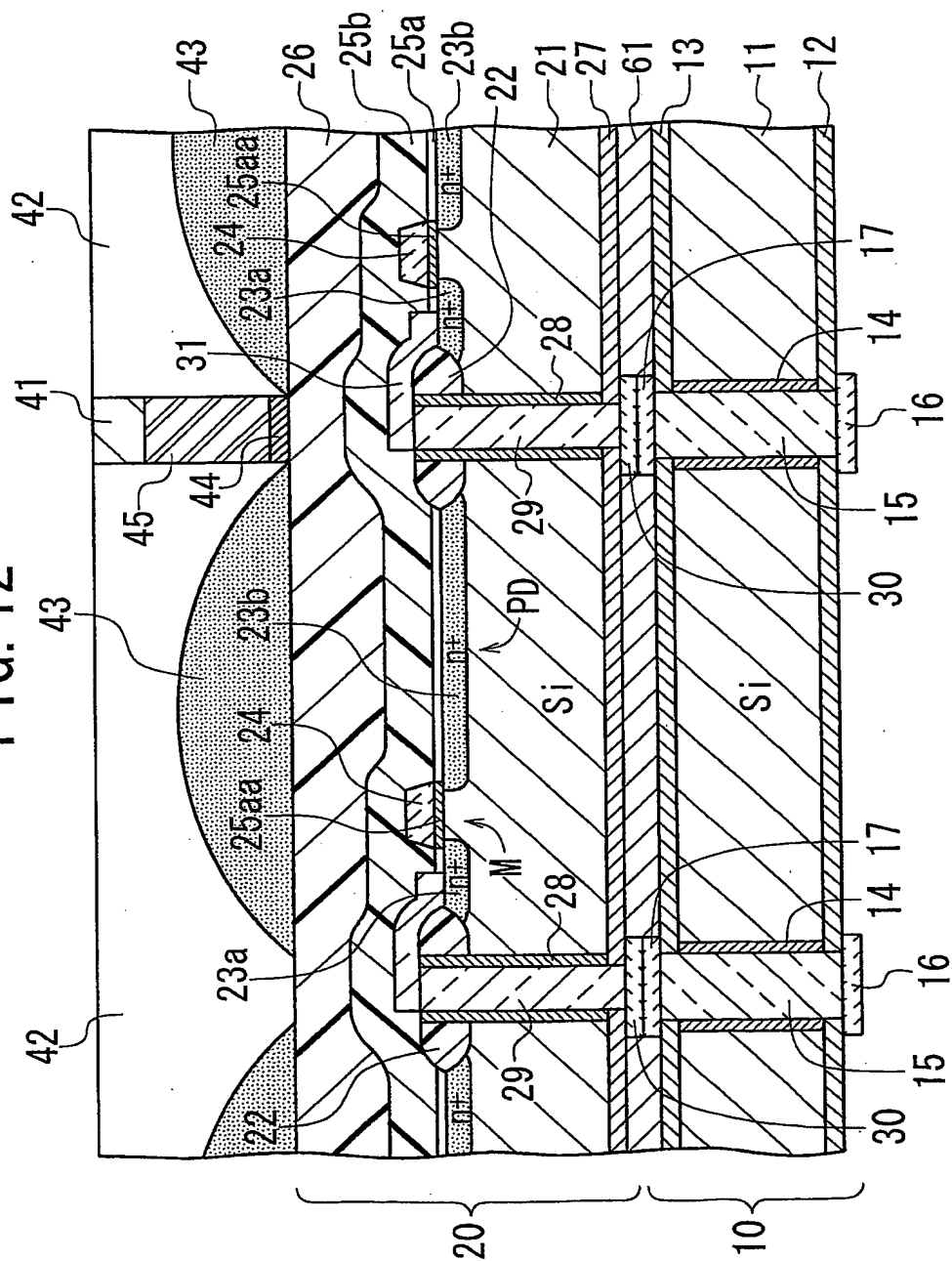


FIG. 12



13/20

FIG. 13

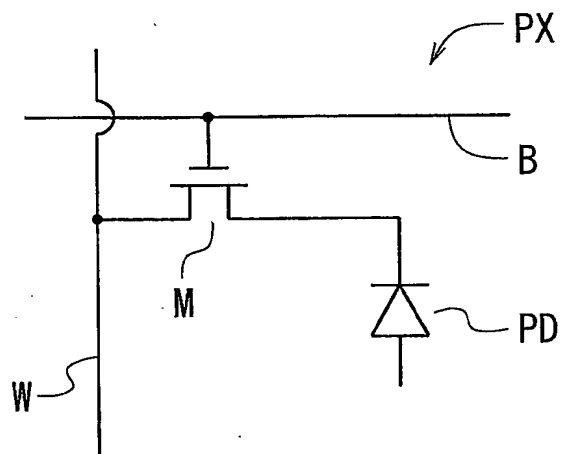


FIG. 14

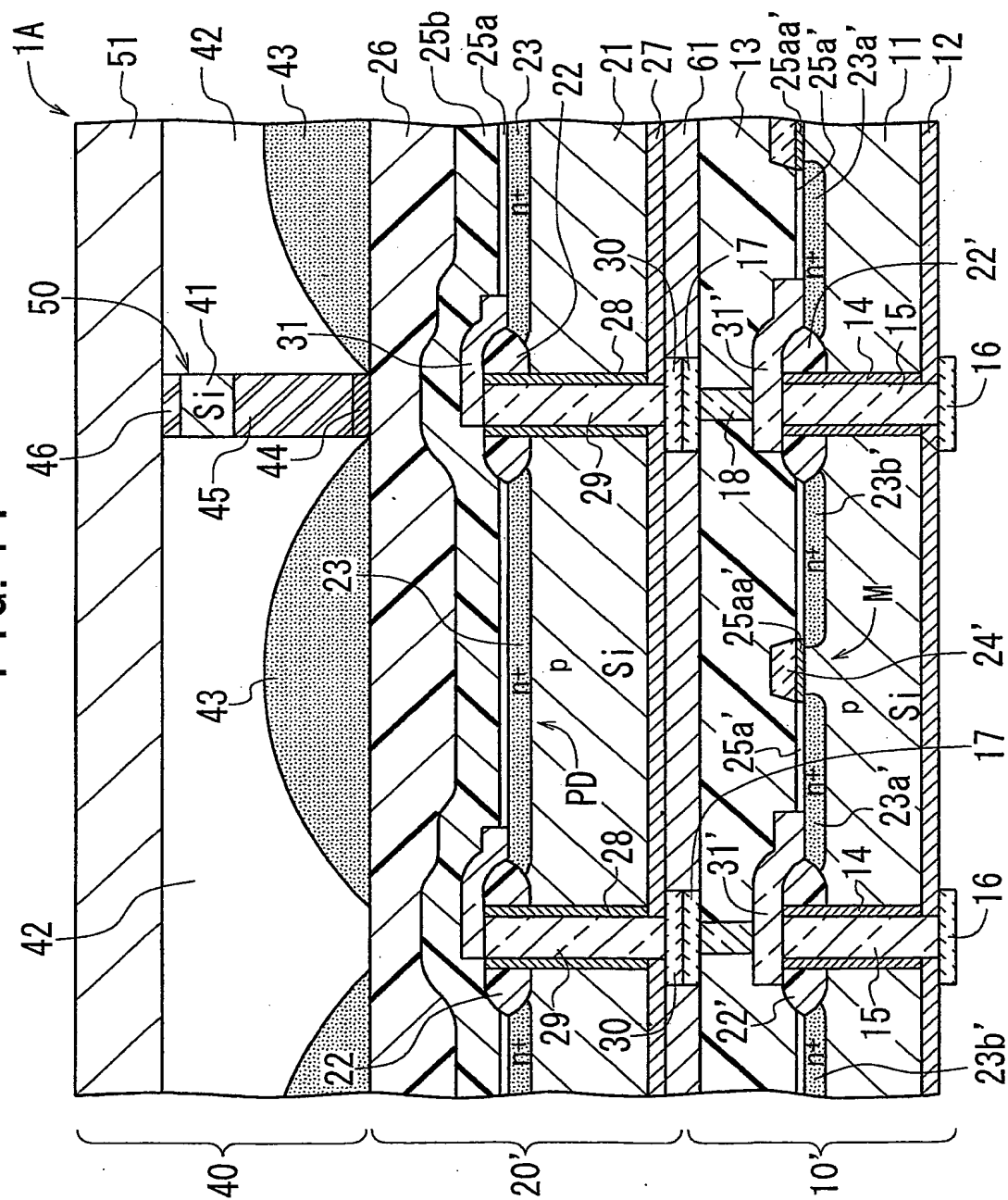


FIG. 15

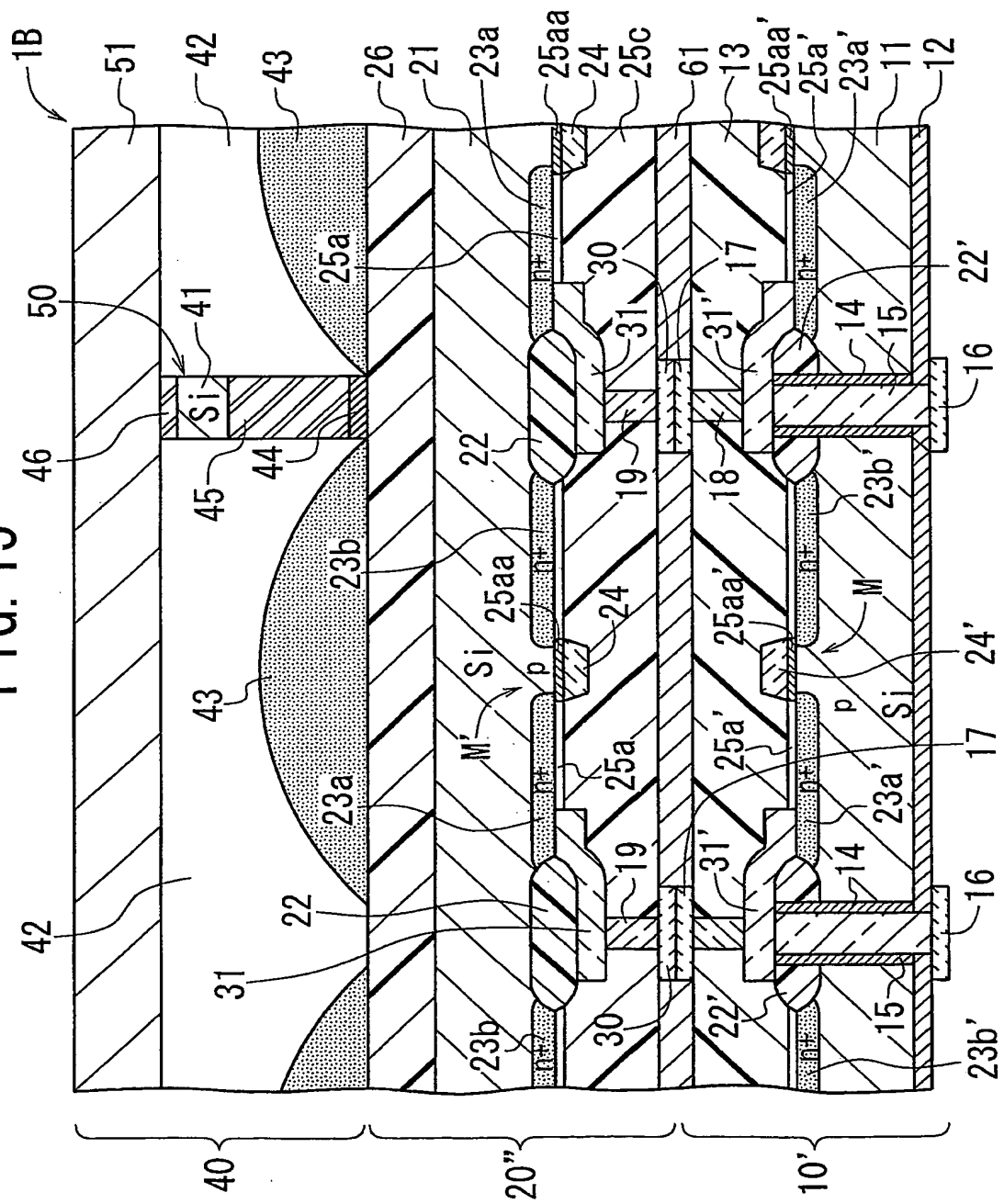


FIG. 16

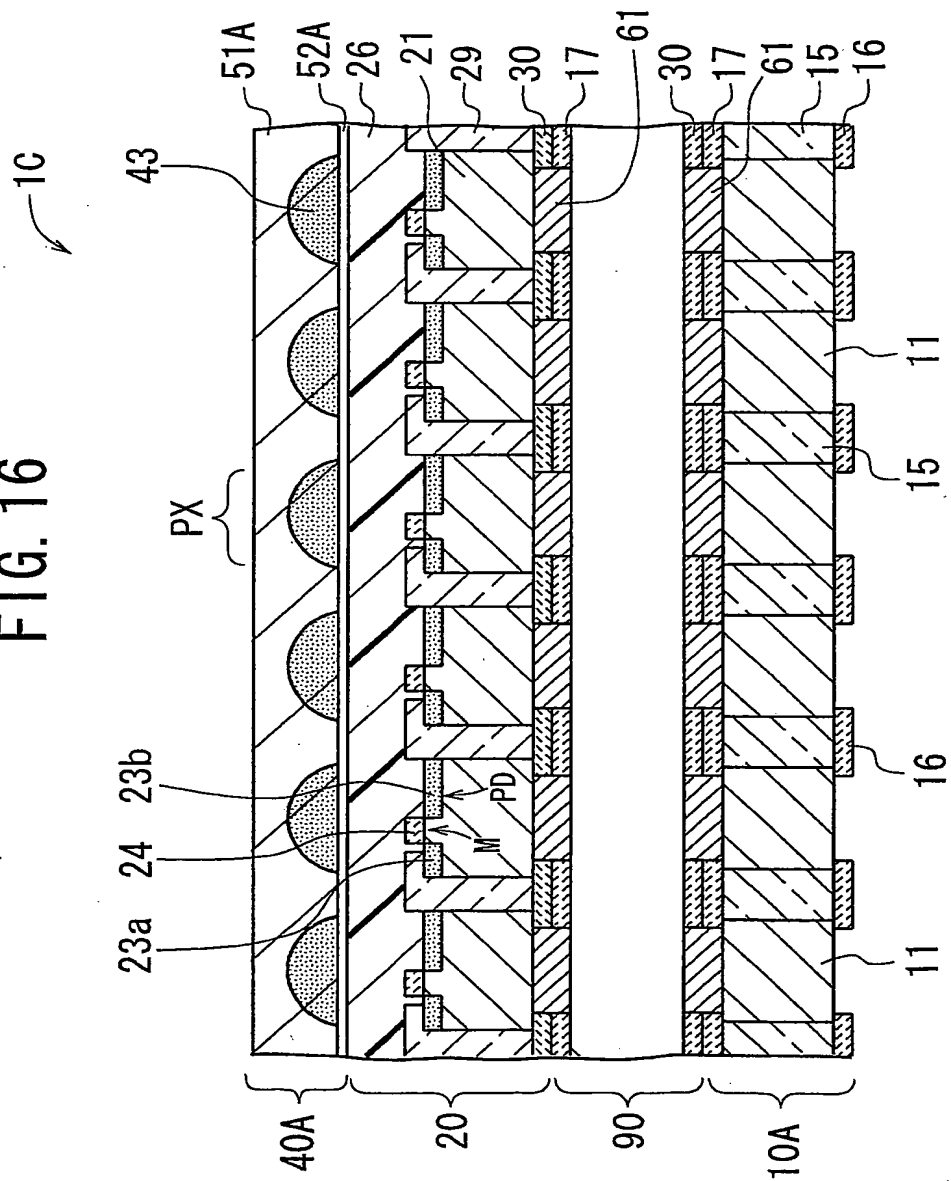


FIG. 17

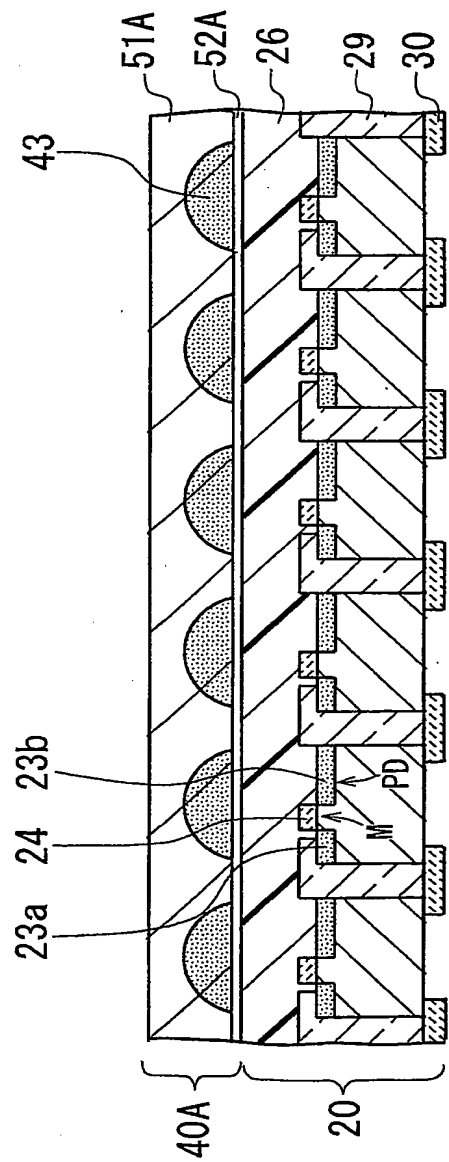


FIG. 18

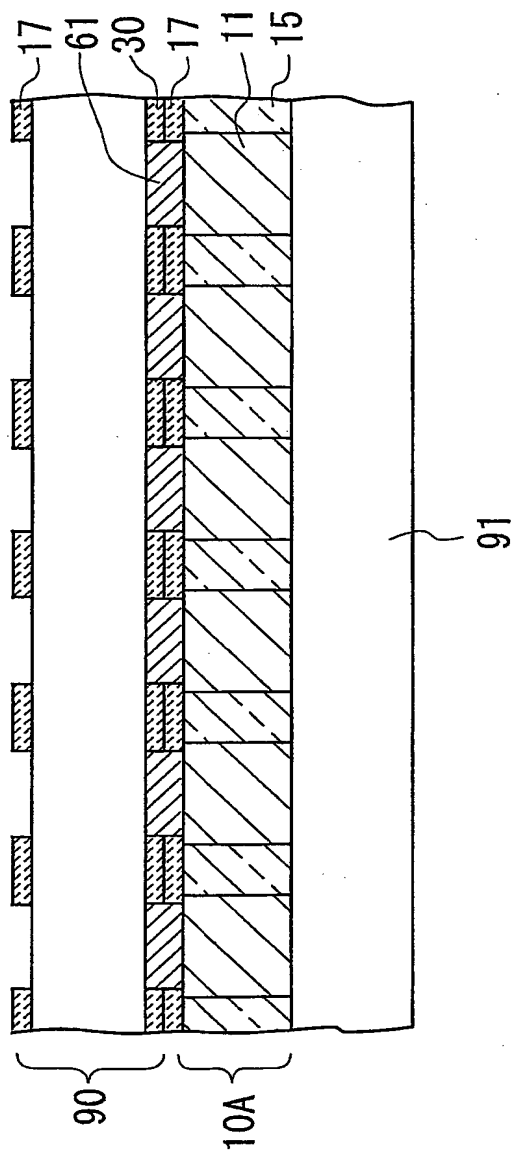


FIG. 19

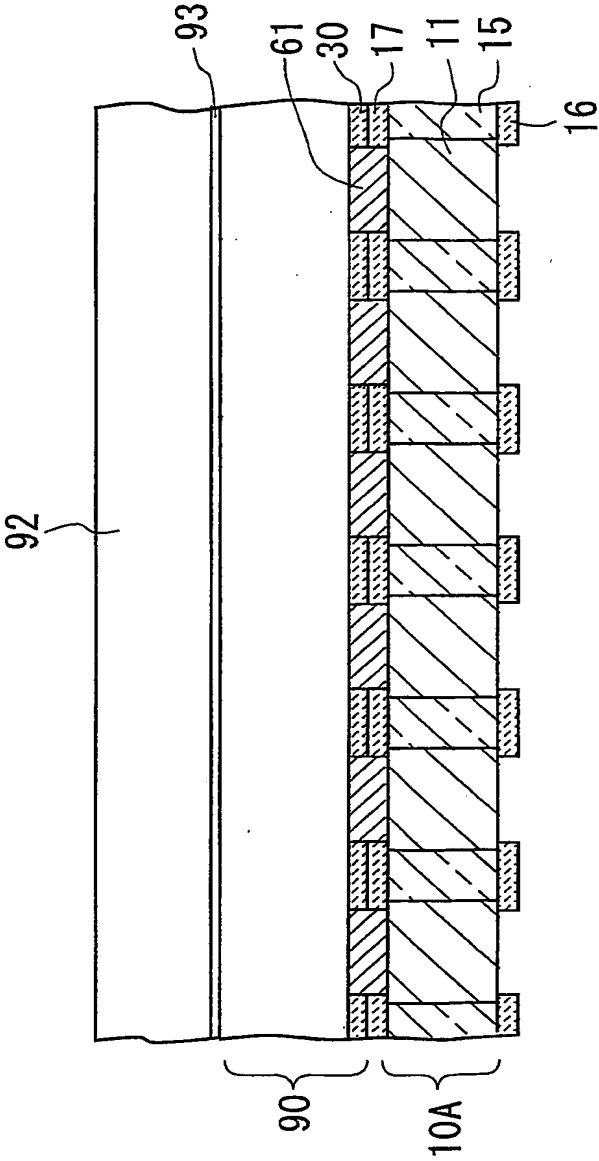
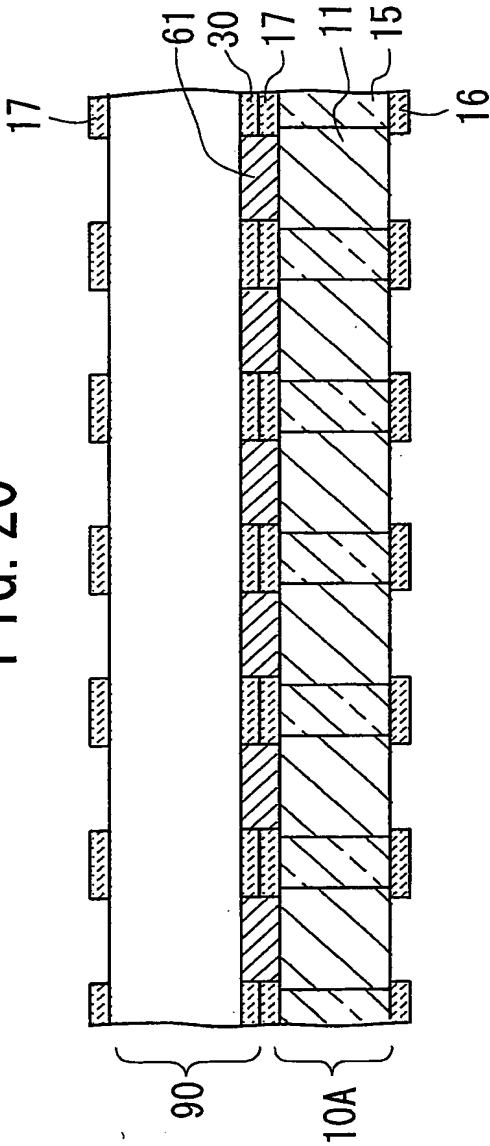


FIG. 20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11493

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/14, H04N5/335, G02B3/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/14, H04N5/335, G02B3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-350068 A (Hamamatsu Photonics Kabushiki Kaisha),	1-15, 20,
A	22 December, 1994 (22.12.94), Full text; all drawings (Family: none)	22-27 16-19, 21, 28-29
Y	JP 10-209414 A (Nikon Corp.), 07 August, 1998 (07.08.98), Full text; all drawings (Family: none)	1, 2, 4-11, 20, 22-27
Y	JP 11-261044 A (Matsushita Electric Industrial Co., Ltd.), 24 September, 1999 (24.09.99), Full text; all drawings (Family: none)	10, 27

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
14 February, 2003 (14.02.03)

Date of mailing of the international search report
04 March, 2003 (04.03.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11493

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-110960 A (Olympus Optical Co., Ltd.), 30 April, 1993 (30.04.93), Full text; all drawings (Family: none)	1-9,11-15
Y	JP 6-45572 A (Nikon Corp.), 18 February, 1994 (18.02.94), Full text; all drawings (Family: none)	2,3,12,13
Y	JP 6-326285 A (Sanyo Electric Co., Ltd.), 25 November, 1994 (25.11.94), Full text; all drawings (Family: none)	2,3,14,15
Y	JP 5-144955 A (Kyocera Corp.), 11 June, 1993 (11.06.93), Full text; all drawings (Family: none)	4
P,X	JP 2001-339057 A (Mitsumasa KOYANAGI), 07 December, 2001 (07.12.01), Full text; all drawings (Family: none)	20-25,27,28

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/14, H04N5/335, G02B3/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/14, H04N5/335, G02B3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国実用新案登録公報 1996-2003年

日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 6-350068 A (浜松ホトニクス株式会社) 1994. 12. 22, 全文, 全図 (ファミリーなし)	1-15, 20, 22-27
A		16-19, 21, 28-29
Y	JP 10-209414 A (株式会社ニコン) 1998. 08. 07, 全文, 全図 (ファミリーなし)	1, 2, 4-11, 20,

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

14. 02. 03

国際調査報告の発送日

04.03.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗野 正明



4L

3035

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-261044 A (松下電器産業株式会社) 1999. 09. 24, 全文, 全図 (ファミリーなし)	22-27 10, 27
Y	JP 5-110960 A (オリンパス光学工業株式会社) 1993. 04. 30, 全文, 全図 (ファミリーなし)	1-9, 11-15
Y	JP 6-45572 A (株式会社ニコン) 1994. 02. 18, 全文, 全図 (ファミリーなし)	2, 3, 12, 13
Y	JP 6-326285 A (三洋電機株式会社) 1994. 11. 25, 全文, 全図 (ファミリーなし)	2, 3 14, 15
Y	JP 5-144955 A (京セラ株式会社) 1993. 06. 11, 全文, 全図 (ファミリーなし)	4
PX	JP 2001-339057 A (小柳 光正) 2001. 12. 07, 全文, 全図 (ファミリーなし)	20-25, 27, 28